

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-129333

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

H01L 21/336

H01L 29/784

H01L 27/11

H01L 29/788

H01L 29/792

(21)Application number : 04-092632

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.04.1992

(72)Inventor : ASHIDA MOTOI
KURIYAMA SACHITADA
MAEDA SHIGENOBU
MAEKAWA SHIGETO

(30)Priority

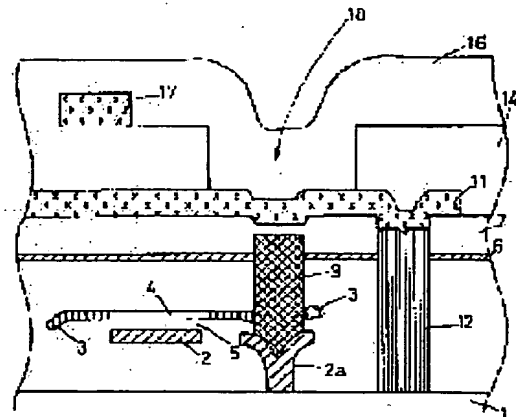
Priority number : 03234326 Priority date : 13.09.1991 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To enhance the characteristic of a semiconductor device provided with a transistor which uses thin film polycrystalline silicon for a channel part.

CONSTITUTION: A semiconductor device is provided with a transistor which is constituted of a gate electrode 2, a source-drain region 3 and a channel part 4. Dangling bonds are formed in the source-drain region 3 and the channel part 4 which are formed of thin-film polycrystalline silicon; the characteristic of the transistor is deteriorated. In order to terminate the dangling bonds, hydrogen is diffused from a plasma nitride film 6; the hydrogen is introduced into the channel part 4. Since the hydrogen cannot pass the silicon nitride film 6, an opening part is formed in the silicon nitride film 6. The hydrogen reaches the channel part 4 along the interface of a metal plug 9 which has been buried in the opening part. As a result, when the opening part is formed in the silicon nitride film 6, the dangling bonds are terminated. Thereby, the characteristic of the semiconductor device can be enhanced.



LEGAL STATUS

[Date of request for examination] 02.08.1995

[Date of sending the examiner's decision of rejection] 12.09.2000

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]
[Date of final disposal for application]
[Patent number] 3583153
[Date of registration] 06.08.2004
[Number of appeal against examiner's decision
of rejection] 2000-16392
[Date of requesting appeal against examiner's
decision of rejection] 12.10.2000
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-129333

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

29/784

27/11

9056-4M

8728-4M

H 0 1 L 29/ 78

27/ 10

3 1 . 1 Y

3 8 1

審査請求 未請求 請求項の数15(全 20 頁) 最終頁に続く

(21)出願番号

特願平4-92632

(22)出願日

平成4年(1992)4月13日

(31)優先権主張番号

特願平3-234326

(32)優先日

平3(1991)9月13日

(33)優先権主張国

日本(JP)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 芦田 基

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(72)発明者 栗山 祐忠

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(72)発明者 前田 茂伸

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(74)代理人 弁理士 高田 守

最終頁に続く

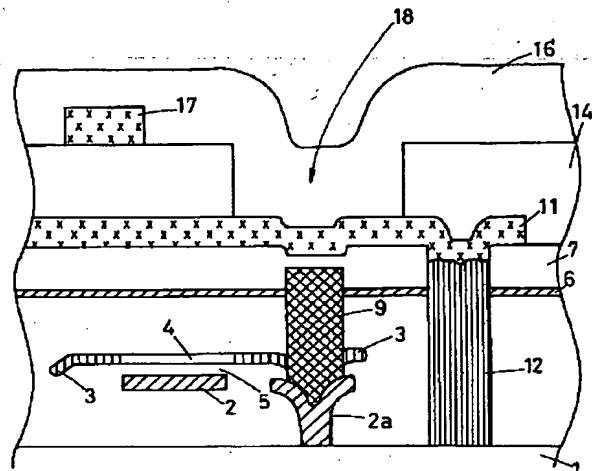
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 薄膜多結晶シリコンをチャンネル部に用いたトランジスタを有する半導体装置の特性を向上する。

【構成】 半導体装置は、ゲート電極2、ソース・ドレイン領域3及びチャンネル部4により構成されたトランジスタを有する。薄膜多結晶シリコンで形成されたソース・ドレイン領域3及びチャンネル部4にはダングリングボンドがあり、トランジスタの特性が劣化する。ダングリングボンドを終結させるため、プラズマシリコン窒化膜16より水素を拡散してチャンネル部4に水素を導入する。水素はシリコン窒化膜6を通過できないので、シリコン窒化膜6を開口し、開口部に埋め込まれた金属プラグ9の界面を伝ってチャンネル部4に水素が到達する。

【効果】 シリコン窒化膜6を開口することにより、ダングリングボンドを終結させて、半導体装置の特性を向上させることができる。



17: 第2層アルミ配線

18: スルーホール

【特許請求の範囲】

【請求項1】 チャンネル部に多結晶半導体薄膜を用いたトランジスタと、

前記トランジスタの上に形成されたシリコン窒化膜とを備え、

前記シリコン窒化膜を通過することができない物質を前記トランジスタのチャンネル部に導入するため、前記シリコン窒化膜を開口したことを特徴とする半導体装置。

【請求項2】 チャンネル部に多結晶半導体薄膜を用いたトランジスタを形成する工程と、

前記トランジスタの上にシリコン窒化膜を形成する工程と、

前記トランジスタのチャンネル部へ前記シリコン窒化膜を通過することができない物質を導入するため、前記シリコン窒化膜を開口する工程とを備えた半導体装置の製造方法。

【請求項3】 チャンネル部に多結晶半導体薄膜を用いたトランジスタと、

前記トランジスタの上に形成されたシリコン窒化膜と、前記シリコン窒化膜を貫通するコンタクトホールとを備え、

前記コンタクトホール用の穴として前記シリコン窒化膜が前記コンタクトホールよりも開口寸法の大きい穴を有する半導体装置。

【請求項4】 多結晶半導体薄膜のチャンネルを有するトランジスタを形成する工程と、

前記トランジスタの上にシリコン窒化膜を形成する工程と、

前記シリコン窒化膜を貫通するコンタクトホールを開口する工程と、

前記コンタクトホールの前記シリコン窒化膜部分の開口寸法を拡張する工程とを備えた半導体装置の製造方法。

【請求項5】 チャンネル部に多結晶半導体薄膜を用いたトランジスタと、

前記トランジスタの上に形成され、少なくともその一部がポーラスなシリコン窒化膜とを備えた半導体装置。

【請求項6】 多結晶半導体薄膜のチャンネルを有するトランジスタを形成する工程と、

前記トランジスタの上にシリコン窒化膜を形成する工程と、

少なくとも前記シリコン窒化膜の一部分をポーラスにする工程とを備えた半導体装置の製造方法。

【請求項7】 チャンネル部に多結晶半導体薄膜を用いたトランジスタと、

前記トランジスタの上に形成され、正に帯電した第1の膜と、

前記第1の膜の上に形成され、帯電していない絶縁膜と、

前記絶縁膜の上に形成され、負に帯電した第2の膜とを備えた半導体装置。

【請求項8】 多結晶半導体薄膜のチャンネルを有するトランジスタを形成する工程と、

前記トランジスタの上に負に帯電した第1の膜を堆積する工程と、

前記第1の膜の上に帯電していない絶縁膜を形成する工程と、

前記絶縁膜の上に正に帯電した第2の膜を堆積する工程とを備えた半導体装置の製造方法。

【請求項9】 チャンネル部に多結晶半導体薄膜を用いたトランジスタと、

前記トランジスタの上に形成された水素を多く含む領域と、

前記領域の上に形成されたシリコン窒化膜とを備えた半導体装置。

【請求項10】 多結晶半導体薄膜のチャンネルを有するトランジスタを形成する工程と、

前記トランジスタの上に水素含有量の多い領域を形成する工程と、

前記領域の上にシリコン窒化膜を形成する工程とを備えた半導体装置の製造方法。

【請求項11】 前記水素の含有量の多い領域を形成する工程が、前記シリコン窒化膜を通して水素を注入する工程を含むことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 前記水素の含有量の多い領域を形成する工程が、前記トランジスタの上に水素の含有量の多い膜を堆積する工程を含むことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項13】 チャンネル部に多結晶半導体薄膜を用いたトランジスタと、

前記トランジスタの上に形成されたシリコン窒化膜とを備え、

前記シリコン窒化膜のパターンが前記トランジスタのチャンネルパターンと同じ所望の形状に形成されていることを特徴とする半導体装置。

【請求項14】 トランジスタのチャンネルに用いる多結晶半導体薄膜を形成する工程と、

前記多結晶半導体薄膜の上にシリコン窒化膜を堆積する工程と、

40 前記シリコン窒化膜を前記多結晶半導体薄膜と同一の所望のパターンにパターニングする工程とを備えた半導体装置の製造方法。

【請求項15】 トランジスタのチャンネルに用いる多結晶半導体膜を厚く堆積する工程と、

前記トランジスタの上に不純物を含むシリコン酸化膜を堆積する工程と、

OH基を含む分子の雰囲気中で熱処理を行うことにより前記シリコン酸化膜の段差を低減するとともに前記トランジスタの前記多結晶半導体膜を酸化することによって薄くして該多結晶半導体膜を所望の厚さにする工程とを

備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えばスタティックメモリのメモリセル等に利用される薄膜トランジスタ等のトランジスタに関し、特に薄膜多結晶シリコン等をチャネル部に有するトランジスタの特性改善のための技術及びその製造方法に関するものである。

【0002】

【従来の技術】薄膜多結晶シリコントランジスタ（以下、Thin Film Transistor: TFTという）を含む従来の半導体装置について説明する。現在、高集積化が進むSRAMにおいて、小面積で待機時電流（または低スタンバイ電流という）を実現するために、NチャネルMOSトランジスタ上にPチャネルMOS薄膜多結晶シリコントランジスタ（以下、PMOS-TFTという）を積み重ねたメモリセル（以下、完全CMOS型メモリセルという）等が要求されている。例えば、TFTを用いたCMOS型低消費SRAMのスタンバイ電流 I_{sb} は、TFTのオフ電流 I_{off} によって決定される。1MビットSRAMを例にとれば $I_{sb} = I_{off} \times 10^6$ であり、4MビットSRAMでは $I_{sb} = I_{off} \times 4 \times 10^6$ である。このようにスタンバイ電流 I_{sb} は、TFTのオフ電流をメモリセルの個数倍した値になる。そのためTFT1個1個のオフ電流 I_{off} を低減することにより、SRAM全体のスタンバイ電流 I_{sb} を大きく削減することができる。

【0003】このTFTのオフ電流の発生原因は、ドレインとチャネル間の空乏層内での発生電流と考えられている。この発生電流は、多結晶シリコンの粒界や結晶粒内の欠陥にあるトラップ準位に起因する。従って、多結晶シリコンを使ったTFTのオフ電流を減らす一つの方法は、このトラップ準位を形成するダングリングボンドを水素等によって終端することである。それによって、バンドギャップ中のトラップ準位が減少し、トラップを介して発生電流、つまりTFTのオフ電流を減らすことができる。水素化の方法としては、アルミ配線を形成した後、プラズマ窒化膜を堆積する方法が一般的であるが、水素イオンを注入する方法や、水素プラズマ中でアニールする方法でも水素化の効果を得ることができる。ここでプラズマ窒化膜とは、プラズマCVD法により形成された窒化膜である。

【0004】また、同時にサブミクロンデバイスにおいては、絶対段差が高くなることが予想でき、コンタクト孔のアスペクト比が高くなるため、プラグ技術が必須となってきた。従って、層間膜の平坦化が必要となり、平坦化のため酸化膜のウエットリフローを用いる場合、OH基ストッパーとしてシリコン窒化膜が設けられる。この様なプラグ技術を必須とする大容量のSRAMのメモリセルの構造について述べる。

【0005】TFTを含む従来の半導体装置について図5を用いて説明する。図5は、TFTを含むSRAMの構造の一部を示した断面図である。図において、1は単結晶シリコン基板、2は多結晶シリコンで形成したメモリセルの負荷として用いられるTFTのゲート電極、2aは多結晶シリコンで形成したメモリセルの負荷として用いられるもう一方のTFTのゲート電極、3は薄膜多結晶シリコンで形成したTFTのソース・ドレイン領域、4は薄膜多結晶シリコンで形成されたTFTのチャネル、5はCVD法で形成したゲート酸化膜、6はシリコン窒化膜、7はアルミ層間酸化膜である。

【0006】この半導体装置を製造するには、単結晶シリコン1の上にNチャネルMOS-FET等を形成したのち、層間絶縁膜を介してTFTのゲート電極2及びもう一方のTFTのゲート電極2aを多結晶シリコンで形成する。

【0007】次に、減圧CVD（Chemical Vapour Deposition）法によってゲート酸化膜用のシリコン酸化膜5を例えば40nm堆積し、続いて、能動体として働く第2層多結晶シリコン3、4を例えば30nm堆積する。

【0008】この状態で、フォトリソグラフィ法によってチャネルとなるべき領域4にレジストを残してソース・ドレイン用のイオン注入を行う。その後、熱処理を施すことによってイオン種を活性化し、ソース・ドレイン領域3を形成してTFTを構成する。

【0009】更に、層間絶縁膜を堆積したのち、OH基ストッパー用のシリコン窒化膜6を例えば100nm堆積する。その上に不純物が添加された酸化膜7を堆積したのち、ウェット雰囲気中で熱処理することで表面を平坦化させる。

【0010】その後、図には示されていないが、平坦化した酸化膜7及びシリコン窒化膜6を開口する工程とプラグを埋め込む工程が上層に形成されるアルミ配線との接続のために行われる。

【0011】次に、図6及び図7を用いて、従来の半導体装置の水素の拡散について説明する。図6は、従来の半導体装置のTFT周辺の断面図である。図6及び図7において、31は基板、32は酸化膜、33はTFTのゲート、34はTFTのソース、35はTFTのドレイン、36は層間窒化膜、37はコンタクトホール、41はチタンナイトライド、42はタングステンプラグ、43はアルミ配線、44はプラズマ窒化膜、50はプラズマ窒化膜からの水素の拡散経路、54はウエットリフローにより平坦化された層間膜（平坦膜）である。プラズマ窒化膜54を堆積する時に、プラズマ窒化膜中の水素が図6中の拡散経路50を通して薄膜トランジスタに達し、TFTを水素化するので、オフ電流の小さいTFTを作ることができるのである。

【0012】アルミ配線の断線防止に下層膜の平坦化が

重要であるが、平坦化の方法として、ボロンやリン等を多く含む酸化膜を約 $1\mu\text{m}$ 堆積し、約 700°C から 1000°C で水蒸気中で熱処理を加えてリフローさせるウェットリフローは、酸素 O_2 や窒素 N_2 雰囲気中で熱処理に比べてリフロー効果が大きい。しかし、TFTを用いたSRAMの層間膜平坦化にこのウェットリフロー法を適用する場合、ウェットリフロー時の雰囲気中に含まれるOH基がTFTを酸化して、そのチャネル領域が消滅してしまうという問題がある。そこで、OH基を通さない窒化膜(層間窒化膜36)を、ボロン、リン等を多く含む酸化膜とTFTとの間にはさみ、TFTの酸化を防いでいる。この層間窒化膜36は温度約 780°C で減圧CVD法(以下、LPCVD法という)によって形成する。LPCVD法による窒化膜は、水素を含まず、また膜質が緻密なため水素の拡散係数も極めて小さい。プラズマ窒化膜は、逆に水素を多く含み後の熱処理で水素を放出する。

【0013】ところが、ここで層間窒化膜36を用いたことにより、新しい問題が生じてくる。層間窒化膜36は、OH基を通さないだけでなく、プラズマ窒化膜44中の水素の拡散も妨げるため、TFTに対する水素化の効果を著しく減少させ、そのためTFTのチャネル部のダングリングボンドを終結することができず、オフ電流を増加させてしまうという問題を引き起こす。水素は、約200オングストロームの層間窒化膜でさえほとんど透過しないことが我々の鋭意研究の結果わかっている。水素は、図7のコンタクトホール37を開く時に同時に開けられた層間窒化膜36の穴からしか(図7中の経路50)TFTに達することができない。

【0014】**【発明が解決しようとする課題】**TFTのチャネル部及びソース・ドレイン領域に用いられている薄膜多結晶シリコンは、多数のダングリングボンドを含んでいる。このダングリングボンドを終結させることによって、TFTの特性のうちオフ電流特性並びにオン電流特性が改善されることが知られている。ダングリングボンドを終結させる方法として、アルミ配線工程が終了したのち、パッシベーション膜に用いられるプラズマ窒化膜中に十数パーセント程度含まれる水素を拡散させてその終結を行うことがある。

【0015】しかし、従来の半導体記憶装置は以上のように構成されているので、負荷として用いられるPMOS-TFTの上層にシリコン窒化膜が堆積される構造となる。そして、構造が緻密なシリコン窒化膜が水素の拡散を妨害し、TFTのチャネル部に水素が到達することを妨げる。このため、TFTのダングリングボンドを水素により終結することができず、TFTの特性を向上させることができないという問題点があった。

【0016】この発明は上記のような問題点を解消するためになされたもので、ウェットリフローによって層間

膜を平坦化する際、多結晶半導体を用いたTFTのチャネル部をOH基等による酸化で消滅させることなく、水素拡散等のTFTのダングリングボンド終結に必要な物質の拡散をはかることにより、TFTの特性を向上することを目的としており、さらにそのようなTFTの製造方法を提供することを目的としている。

【0017】

【課題を解決するための手段】この発明に係る半導体装置の第1態様は、チャネル部に多結晶半導体薄膜を用いたトランジスタと、前記トランジスタの上に形成されたシリコン窒化膜とを備えて構成され、前記シリコン窒化膜を通過することができない物質を前記トランジスタのチャネル部に導入するため、前記シリコン窒化膜を開口したことを特徴とする。

【0018】この発明に係る半導体装置の製造方法の第1態様は、チャネル部に多結晶半導体薄膜を用いたトランジスタを形成する工程と、前記トランジスタの上にシリコン窒化膜を形成する工程と、前記トランジスタのチャネル部へ前記シリコン窒化膜を通過することができない物質を導入するため、前記シリコン窒化膜に開口する工程とを備えて構成されている。

【0019】この発明に係る半導体装置の第2態様は、チャネル部に多結晶半導体薄膜を用いたトランジスタと、前記トランジスタの上に形成されたシリコン窒化膜と、前記シリコン窒化膜を貫通するコンタクトホールとを備え、前記コンタクトホール用の穴として前記シリコン窒化膜が前記コンタクトホールよりも開口寸法の大きい穴を有するように構成されている。

【0020】この発明に係る半導体装置の製造方法の第2態様は、多結晶半導体薄膜のチャネルを有するトランジスタを形成する工程と、前記トランジスタの上にシリコン窒化膜を形成する工程と、前記シリコン窒化膜を貫通するコンタクトホールを開く工程と、前記コンタクトホールの前記シリコン窒化膜部分の開口寸法を拡張する工程とを備えて構成されている。

【0021】この発明に係る半導体装置の第3態様は、チャネル部に多結晶半導体薄膜を用いたトランジスタと、前記トランジスタの上に形成され、少なくともその一部がポーラスなシリコン窒化膜とを備えて構成されている。

【0022】この発明に係る半導体装置の製造方法の第3態様は、多結晶半導体薄膜のチャネルを有するトランジスタを形成する工程と、前記トランジスタの上にシリコン窒化膜を形成する工程と、少なくとも前記シリコン窒化膜の一部分をポーラスにする工程とを備えて構成されている。

【0023】この発明に係る半導体装置の第4態様は、チャネル部に多結晶半導体薄膜を用いたトランジスタと、前記トランジスタの上に形成され、正に帯電した第1の膜と、前記第1の膜の上に形成され、帯電していな

い絶縁膜と、前記絶縁膜の上に形成され、負に帯電した第2の膜とを備えて構成されている。

【0024】この発明に係る半導体装置の製造方法の第4態様は、多結晶半導体薄膜のチャネルを有するトランジスタを形成する工程と、前記トランジスタの上に負に帯電した第1の膜を堆積する工程と、前記第1の膜の上に帯電していない絶縁膜を形成する工程と、前記絶縁膜の上に正に帯電した第2の膜を堆積する工程とを備えて構成されている。

【0025】この発明に係る半導体装置の第5態様は、チャネル部に多結晶半導体薄膜を用いたトランジスタと、前記トランジスタの上に形成された水素を多く含む領域と、前記領域の上に形成されたシリコン窒化膜とを備えて構成されている。

【0026】この発明に係る半導体装置の製造方法の第5態様は、多結晶半導体薄膜のチャネルを有するトランジスタを形成する工程と、前記トランジスタの上に水素含有量の多い領域を形成する工程と、前記領域の上にシリコン窒化膜を形成する工程とを備えて構成されている。

【0027】この発明に係る半導体装置の製造方法の第6態様は、前記水素の含有量の多い領域を形成する工程が、前記シリコン窒化膜を通して水素を注入する工程を含むことを特徴とする。

【0028】この発明に係る半導体装置の製造方法の第7態様は、前記水素の含有量の多い領域を形成する工程が、前記トランジスタの上に水素の含有量の多い膜を堆積する工程を含むことを特徴とする。

【0029】この発明に係る半導体装置の第6態様は、チャネル部に多結晶半導体薄膜を用いたトランジスタと、前記トランジスタの上に形成されたシリコン窒化膜とを備え、前記シリコン窒化膜のパターンが前記トランジスタのチャネルパターンと同じ所望の形状に形成されていることを特徴とする。

【0030】この発明に係る半導体装置の製造方法の第8態様は、トランジスタのチャネルに用いる多結晶半導体薄膜を形成する工程と、前記多結晶半導体薄膜の上にシリコン窒化膜を堆積する工程と、前記シリコン窒化膜を前記多結晶半導体薄膜と同一の所望のパターンにパターンニングする工程とを備えて構成されている。

【0031】この発明に係る半導体装置の製造方法の第9態様は、トランジスタのチャネルに用いる多結晶半導体膜を厚く堆積する工程と、前記トランジスタの上に不純物を含むシリコン酸化膜を堆積する工程と、OH基を含む分子の雰囲気中で熱処理を行うことにより前記シリコン酸化膜の段差を低減するとともに前記トランジスタの前記多結晶半導体膜を酸化することによって薄くして該多結晶半導体膜を所望の厚さにする工程とを備えて構成されている。

【0032】

【作用】この発明による半導体装置の第1態様においては、多結晶半導体薄膜を用いたトランジスタの上に形成されたシリコン窒化膜を通過することができない物質を前記トランジスタのチャネル部に導入するため、前記シリコン窒化膜を開口したことを特徴としているので、トランジスタの持っているダングリングボンドを終結するための物質を開口部を通してトランジスタのチャネル部へ導入することができ、トランジスタが有しているダングリングボンドを容易に終結させることができる。

【0033】この発明による半導体装置の製造方法の第1態様においては、トランジスタのチャネル部へシリコン窒化膜を通過することができない物質を導入するため、前記シリコン窒化膜に開口する工程を備えて構成されており、開口部よりトランジスタのチャネル部へ水素を導入してトランジスタの有しているダングリングボンドを容易に終結することができる。

【0034】この発明による半導体装置の第2態様のシリコン窒化膜がコンタクトホールよりも開口寸法の大きい穴を有しているので、この穴を通して、トランジスタの有しているダングリングボンドを終結するための物質をトランジスタのチャネル部へ容易に導入することができ、ダングリングボンドを終結させることができる。

【0035】この発明による半導体装置の製造方法の第2態様においては、例えばウエットリフローの工程の後に、コンタクトホールのシリコン窒化膜部分の開口寸法を拡張する工程を行うことにより、シリコン窒化膜に大きな穴を容易に形成することができ、例えばこの穴からダングリングボンドを終結するための物質を導入して、トランジスタの有しているダングリングボンドを終結させることができる。

【0036】この発明による半導体装置の第3態様のシリコン窒化膜の一部がポーラスな状態になっており、ポーラスな部分を通してトランジスタのダングリングボンドを終結するための物質をトランジスタのチャネル部へ導入することができ、トランジスタの有しているダングリングボンドを終結させることができる。

【0037】この発明による半導体装置の製造方法の第3態様においては、例えばウエットリフローの工程の後に、少なくともシリコン窒化膜の一部をポーラスにする工程をおこなうことによって、ポーラスになったシリコン窒化膜の一部を通して、例えばトランジスタの有しているダングリングボンドを終結するための物質をトランジスタのチャネル部へ導入することができ、トランジスタの有しているダングリングボンドを終結させることができる。

【0038】この発明による半導体装置の第4態様の正に帯電した第1の膜と負に帯電した第2の膜とによって形成される電界で、多結晶半導体を酸化する負の電荷を有したOH基がこれらの膜よりトランジスタの側に侵入するのを防止し、かつダングリングボンドを終結するた

めの物質（例えば水素イオン等）は第1及び第2の膜を通して導入することができ、トランジスタの有しているダングリングボンドを終結することができる。

【0039】この発明による半導体装置の製造方法の第4態様においては、トランジスタの上に負に帯電した第1の膜を堆積する工程と、第1の膜の上に帯電していない第1の絶縁膜を形成する工程と、第1の絶縁膜の上に正に帯電した第2の膜を堆積する工程とにより、負に帯電した第1の膜と正に帯電した第2の膜とをトランジスタの上に堆積するので、第1及び第2の膜を形成した後、負の電荷を有するOH基がトランジスタのチャネル部に到達するのを防止するとともにダングリングボンドを終結するための物質をこれらの膜を通して導入することができ、トランジスタの有しているダングリングボンドを終結することができる。

【0040】この発明による半導体装置の第5態様の水素を多く含む領域は、シリコン窒化膜とトランジスタの間に形成されているので、例えばウェットリフロー時にトランジスタのチャネル部が酸化されるのをシリコン窒化膜によって防ぎ、かつ前記領域より拡散した水素によりトランジスタの有しているダングリングボンドを終結することができる。

【0041】この発明による半導体装置の製造方法の第5態様においては、トランジスタの上に水素含有量の多い領域を形成する工程により、水素の含有量の多い領域をシリコン窒化膜とトランジスタの間に形成することができ、例えばウェットリフロー時にトランジスタのチャネル部が酸化されるのをシリコン窒化膜によって防ぎ、かつ前記領域より例えば水素を拡散させてトランジスタの有しているダングリングボンドを終結することができる。

【0042】この発明による半導体装置の製造方法の第6態様においては、シリコン窒化膜を通して水素を注入する工程により、シリコン窒化膜形成後に、水素の注入を所望の領域に行うことができ水素の含有量の多い領域をシリコン窒化膜とトランジスタの間に効率よく形成することができる。

【0043】この発明による半導体装置の製造方法の第7態様においては、トランジスタの形成後、シリコン窒化膜を堆積する前に水素の含有量の多い膜を堆積することによりシリコン窒化膜とトランジスタの間に水素の含有量の多い領域を容易に形成することができる。

【0044】この発明による半導体装置の第6態様のシリコン窒化膜のパターンが、トランジスタのチャネルパターンと同じ形状にパターニングされているので、例えばトランジスタのチャネル表面で起こるウェットリフローによる酸化を防止するとともに、シリコン窒化膜に覆われていない部分より水素等のダングリングボンドを終結するための物質を導入することができ、トランジスタのチャネル部のトランジスタの有しているダングリング

ボンドを終結することができる。

【0045】この発明による半導体装置の製造方法の第8態様においては、多結晶半導体薄膜のパターンと同一のシリコン窒化膜が容易に形成でき、このシリコン窒化膜によって多結晶半導体薄膜をウェットリフロー時の酸化から保護するとともに、シリコン窒化膜に覆われていない部分よりダングリングボンドを終結するための物質をトランジスタのチャネル部へ容易に導入することができる。

【0046】この発明による半導体装置の製造方法の第9態様においては、酸化により減少することを見込んで予め多結晶半導体を厚く堆積しているのでトランジスタのチャネル部の多結晶半導体を保護するための膜をトランジスタの上に形成する必要がなく、保護する膜（シリコン窒化膜等）がないため、ダングリングボンドも容易に終結させることができる。

【0047】

【実施例】以下、この発明の第1実施例について図1を用いて説明する。図1はこの発明によるSRAMのメモリセルの一部分を示す断面図である。図において、1は単結晶シリコン基板、2は多結晶シリコンで形成したメモリセルの負荷を構成するTFTのゲート電極、2aはメモリセルの負荷を構成するもう一方のTFTのゲート電極であり多結晶シリコンで形成され、3は薄膜多結晶シリコンで形成したTFTのソース・ドレイン領域、4は薄膜多結晶シリコンで形成されたTFTのチャネル、5はCVD法で形成したゲート酸化膜、6はシリコン窒化膜、7はアルミ層間酸化膜、8はアルミ層間酸化膜7及びシリコン窒化膜6の開口部のホールである。

【0048】以下、製造工程について説明する。単結晶シリコン1の上にNチャネルMOSFET等を形成したのち、層間絶縁膜を介してTFTのゲート電極2及びもう一方のTFTのゲート電極2aを多結晶シリコンで形成する。

【0049】次に、減圧CVD（Chemical Vapour Deposition）法によってゲート酸化膜用のシリコン酸化膜5を例えば40nm堆積し、続いて、能動体として働く第2層多結晶シリコン3、4を例えば30nm堆積する。

【0050】この状態で、フォトリソグラフィ法によってチャネルとなるべき領域4にレジストを残してソース・ドレイン用のイオン注入を行う。その後、熱処理を施すことによってイオン種を活性化し、ソース・ドレイン領域3を形成してTFTを構成する。

【0051】更に、層間絶縁膜を堆積したのち、OH基ストッパー用のシリコン窒化膜6を例えば100nm堆積する。その上に不純物が添加された酸化膜7を堆積したのち、ウェット雰囲気中で熱処理することで表面を平坦化させる。

【0052】ここで、ゲート電極2aと薄膜多結晶シリコン3のコンタクト部上層のシリコン窒化膜6及び酸化

膜7を開口し、OH基ストッパー用のシリコン窒化膜6にホール8を開ける。一般的に、ホール8を開口する位置はTFTのチャネル部4に水素を導入することが可能なTFTの近傍で、かつ下地及び上層に悪影響を及ぼさない所である。TFTのチャネル部4に水素を導入することを考慮すれば、シリコン窒化膜6はチャネル部4の真上で開口することが望ましい。しかし、エッチングによりシリコン窒化膜6を開口する際、エッチングの深さを制御することが難しく、TFTのチャネル部4を損傷する可能性が大きいので、ゲート電極2aと薄膜多結晶シリコン3の上部のシリコン窒化膜6を開口するのが望ましい。こうすることにより、ゲート電極2aと薄膜多結晶シリコン3をエッチングのストッパーとして働かせることもでき、装置の製造が容易になる。

【0053】その後、図には示されていないが、平坦化した酸化膜7及びシリコン窒化膜6を開口する工程とプラグを埋め込む工程が合わせて平坦化のため、あるいは上層に形成されるアルミ配線との接続のために行われる。この時、ホール8にはタングステンプラグが形成される。最後に、これらの上にパッシベーション膜が形成される。そして、パッシベーション膜を形成するとき、基板温度は350℃程度になっており、この熱によりパッシベーション膜に含まれる水素が拡散し、ホール8を通り、ホール8に形成されたタングステンプラグの界面をつたい、TFTのチャネル部4及びソース・ドレイン領域3に達する。そして、このことにより、TFTのチャネル部4及びソース・ドレイン領域3に含まれるダングリングボンドを終結して、TFTの特性を向上することができる。

【0054】上記実施例では、ホール8を開口したのち、タングステンプラグを埋め込んだが、ホール8を開口したのち平坦化のためにホール8に酸化膜を埋め込んでもよい。

【0055】次に、図2を用いて第2実施例について説明する。図2はこの発明によるSRAMのメモリセルの一部分を示す断面図である。図2において、9は金属プラグ、10はシリコン窒化膜6、アルミ層間酸化膜7及び薄膜多結晶シリコン3の開口したホール、その他の図1と同一符号は図1と同一内容を示す。図1に示した第1実施例と図2に示した第2実施例が異なる点は、以下

【0056】まず、図1における半導体装置は、フォトリソグラフィ法を用いてコンタクトパターンを形成した後、ゲート電極2aとソース・ドレイン領域3との間のゲート酸化膜5をエッチングによって開口してコンタクトを取っていた。

【0057】それと比べ、図2における半導体装置は、ゲート電極2aとソース・ドレイン領域3との間にコンタクトを形成する工程を削除して、アルミ層間酸化膜7を形成したのち(図2(a))、ホール10を形成して

金属プラグ9を埋め込み、ゲート電極2aとソース・ドレイン領域3とのコンタクトを取っている(図2(b))。

【0058】以上のように、第2実施例によれば、シリコン窒化膜6の開口とゲート電極2aとソース・ドレイン領域3との接続を同時に行うことができる。

【0059】なお、第2実施例においても、第1実施例と同様に、シリコン窒化膜6の開口部であるホール10を用いてTFTのチャネル部4及びソース・ドレイン領域3のダングリングボンドを終結でき、TFTの特性を向上することができる。

【0060】また、第2実施例では、ホール10に埋め込むプラグ材料として金属を用いたが、オーミック接続ができる材料ならば、不純物を添加した多結晶シリコンなど他の材料でもよく、上記実施例と同様の効果を奏する。

【0061】次に、第3実施例について図3を用いて説明する。図3はこの発明による多層配線されたSRAMのメモリセルの一部分を示す断面図である。図において、11は第1層アルミ配線、12は単結晶シリコン基板1に形成された素子と第1層アルミ配線11との接続を取るための金属プラグ、13は金属プラグ、14は第1層アルミ配線と第2層アルミ配線との間に形成された層間絶縁膜、15は層間絶縁膜14の上に形成された第2層アルミパッド、16はプラズマシリコン窒化膜、18は層間絶縁膜14に設けられたダミーのスルーホールであり、その他の図2と同一符号のものは図2と同一内容を示す。

【0062】このように、配線が多層化されるにしたがって、TFTのチャネル部等とパッシベーション膜であるプラズマシリコン窒化膜16との距離が遠くなり、プラズマシリコン窒化膜16からの水素の拡散が困難になる。そこで、ダミーのスルーホールを設け、そこから水素を拡散することによって容易に薄膜多結晶シリコンの持つダングリングボンドを終結することができる。

【0063】以下、製造工程について説明する。図2(b)に示した工程が終了したのち、層間膜7をさらに形成して金属プラグ9の上部を覆う。次に、アルミコンタクト部をフォトリソグラフィ法と異方性エッチングによって開口し、金属プラグ12を埋め込む。その後、第1層アルミ配線11をパターニングして形成する。

【0064】次に、第1層アルミ配線と第2層アルミ配線の間に層間絶縁膜14を堆積する。その後、層間絶縁膜14にダミーのスルーホール18を形成し、そのスルーホール18に金属プラグ13を埋め込む。次に、スルーホール18を第2層アルミパッドを用いてキャップする。このスルーホール18より水素が拡散されるので、TFTのチャネル部4に効率よく水素が到達し、ダングリングボンドを終結することができる。なお、このスルーホール18は第2層アルミ配線の障害にならないよう

に設けることが必要である。

【0065】上記実施例では、第1層アルミ配線と第2層アルミ配線との間に形成されたスルーホール18を金属プラグ13を用いて埋めたが、金属プラグ13を用いず、第2層アルミパッド15のみでスルーホール18を埋めてもよい。

【0066】次に、第4実施例について図4を用いて説明する。図4はこの発明による多層配線されたSRAMのメモリセルの一部分を示す断面図である。図において、17は第2層アルミ配線であり、図3と同一符号は同一内容を示す。図3に示した半導体記憶装置においては、ダミーのスルーホール18を金属プラグ12の真上に取ることを特徴としたが、この実施例に示す半導体記憶装置は薄膜多結晶シリコンで形成されたTFTのソース・ドレイン領域3と多結晶シリコンで形成されたゲート電極2aを接続するために形成された金属プラグ9の上に形成する。このスルーホール18より水素が拡散されるので、TFTのチャネル部4に効率よく水素が到達し、ダングリングボンドを終結することができる。なお、このスルーホール18は第2層アルミ配線の阻害に

ならないように設けることが必要である。

【0067】また、上記第4実施例では、スルーホール18内に何も埋め込まない例をあげたが、酸化膜以外の別の材料を埋め込んでもよく、例えば、第2層アルミ配線を阻害しないように金属プラグを埋め込んでもよい。

【0068】また、第1、第2、第3、第4実施例では、ダングリングボンドを終結する物質として水素を用いたが、ダングリングボンドを終結できる物質であれば、他の物質であっても良く、上記実施例と同様の効果を奏する。

【0069】次に、この発明の第5実施例を図について説明する。図8乃至図15はこの発明の第5実施例をプ*

$$I_{\text{off}} \propto N \cdot \exp(-a/E)$$

但し、aは正の定数

【0075】そのため、ドレイン端部のダングリングボンドを十分に終端すれば、層間窒化膜がなく水素化が充分になされた従来の半導体装置のTFT(図6)と、ほとんど同じレベルまでオフ電流を減らすことができる。熱燐酸によって層間窒化膜36をウエットエッチングする量は、コンタクトホール37とTFTのドレイン注入端58の間の距離と同程度かあるいはそれより長く設定すれば良い。

【0076】図11は、熱燐酸で一部の窒化膜を取り除いた後にCVD法によって酸化膜39を堆積したところを示す図である。CVD法による酸化膜39は、カバレッジが良いため38a、38bのような隙間部分にも堆積し、その隙間を埋め込んでしまうことができる。この工程は、後でチタンをスパッタする時に窒化膜を取り除

*ロセスフローに従って示した断面図である。図において31は絶縁膜、33はTFTのゲート、34はTFTのソース、35はTFTのドレイン、36は層間窒化膜、37はコンタクトホール、38a、38bはウエットエッチングによって窒化膜が取り除かれた部分、39はCVD法により形成した酸化膜、40a、40bはドライエッチングで取り除かれる酸化膜、41はチタンナイトライド、42はタングステンプラグ、43はアルミ配線、44はプラズマ窒化膜、50はプラズマ窒化膜からの水素の拡散経路、54はウエットリフローにより平坦化された層間膜である。

【0070】図8は、基板31上の酸化膜32中にゲート33、ソース34、ドレイン35を有するTFTを形成し、下から酸化膜32、層間窒化膜36、ボロン、リン等を多く含む酸化膜をウエットリフロー法によって平坦化した酸化膜54の順に形成した状態を示す図である。

【0071】図9は、通常の写真製版法とエッチング法により、コンタクトホール37を開けた状態を示す図である。

【0072】ここで、熱燐酸(温度約170℃)に約5時間浸す。図10は、熱燐酸により横方向に層間窒化膜36だけが2μm程度エッチングされた状態である。この層間窒化膜36の取り除かれた部分38a、38bを通してより多くのプラズマ窒化膜中の水素が薄膜トランジスタまで達することになるのである。

【0073】TFTのオフ電流 I_{off} は数1に示すように、ドレイン注入端部にかかる電界Eとそこに含まれるポリシリコンのダングリングボンドの数Nによって決まる。

【0074】

【数1】

いた部分38a、38bでのチタンの密着性を上げるため必要な工程である。従って、層間窒化膜36が薄く、チタンの密着性に問題がない場合には、図11、図12の工程は省くことができる。

【0077】図12は、酸化膜ドライエッチによりコンタクトホール37になる部分40bを開口する工程を示す図である。酸化膜39の代わりに、他のカバレッジの良い膜を用いても良い。たとえば、CVD法により形成するポリシリコンを用いることができる。この場合ポリシリコンは導電性であるので、コンタクトホール37になる部分40bを開口することなくコンタクトを取ることができ、そのコンタクト抵抗はCVD法による酸化膜39を用いた場合に比べて小さくすることができる。ただし、埋め込みに導電膜を用いた場合には、図12に

おける埋め込みに用いた膜の一部分40aで、アルミ配線がショートしないようにしなければならない。そのためには、予め、この部分40aを取り除くか、アルミ配線のパターニングと同時にこの部分40aも切り落とす等のプロセスを追加すれば良い。

【0078】図13は、チタンをスパッタし、窒素雰囲気中でアニールして、チタンナイトライド41を形成したところを示す図である。

【0079】図14は、タングステンプラグ42を形成したところを示す図である。

【0080】図15は、アルミ配線43を形成し、プラズマ窒化膜44を堆積したところである。図7に示した従来の半導体装置に比べて、より多くのプラズマ窒化膜44中の水素が拡散層経路50を通して拡散し、TFTを水素化するため、オフ電流の小さいTFTを形成することができる。また、プラズマ窒化膜44を堆積する代わりにプラズマ水素雰囲気中に浸すことによっても同様の効果が得られる。チタンナイトライド41やタングステンプラグ42はなくてもよく、上記実施例と同様の効果が得られる。

【0081】次に、第6実施例を図について説明する。図16、図17は第6実施例による半導体装置をプロセスフローに従って示した断面図である。図において31は基板、32は酸化膜、33はTFTのゲート、34はTFTのソース、35はTFTのドレイン、36は層間窒化膜、44はプラズマ窒化膜、48はシリコン注入によるポーラスな窒化膜、49はシリコン注入、50はプラズマ窒化膜からの水素の拡散経路、54はウエットリフローにより平坦化された平坦膜である。

【0082】図16は、ウエットリフローによって膜54の平坦化が終了し、シリコン注入49している状態を示す図である。シリコン注入は、層間窒化膜36中のシリコンの割合を増すことにより格子間隔を拡げ、層間窒化膜36をポーラスするため行うので、層間窒化膜36の深さに注入ピークがくるようにする。たとえば深さ4000オングストロームの位置に層間窒化膜36がある場合には、200keV程度のエネルギーで注入する。注入量は、 $10^{15}/\text{cm}^2$ 以上に設定する。このシリコン注入の目的は、水素の膜中での拡散層係数を増やして上から下へ透過しやすいよう層間窒化膜36をポーラスにするため行うものであり、その目的が達成できるものであれば酸素イオンやその他のイオンを注入しても良い。

【0083】図17は、プラズマ窒化膜44を堆積したところを示す図である。簡単のためコンタクトホール、アルミ配線、タングステンプラグ等は省いてある。層間窒化膜48をシリコン注入によってポーラスな状態なので、プラズマ窒化膜48中では水素が透過しやすく、水素が拡散経路50を通してTFTに達し、TFTが水素化されるため、オフ電流の少ないTFTを作ることがで

きる。

【0084】第5、第6実施例では、層間窒化膜36を用い平坦化を行った後、ウエットエッチング、シリコン注入で、プラズマ窒化膜からの水素の拡散経路50を確保した。次に述べる第7、第8実施例は、層間窒化膜36以外の膜を用いて平坦化時のOH基をストップするところに特徴がある。

【0085】次に、この発明の第7実施例を図について説明する。図18は第7実施例による半導体装置の製造工程の一つを示す断面図である。図18において31は基板、32a、32bは絶縁膜、33はTFTのゲート、34はTFTのソース、35はTFTのドレイン、46はOH基、54はウエットリフローにより平坦化される平坦膜、55はN型不純物が多く注入された領域、56はP型不純物が多く含まれた領域、57は領域55と領域56の電荷によって形成された電界である。

【0086】図18は、TFTゲート33、ソース34、ドレイン35を形成した後、層間窒化膜32aを約3000オングストローム堆積し、その表面にボロンを注入してP型不純物の多い領域56を形成する。この注入はTFTに届かないように注入する必要がある。次に、層間窒化膜32bを1000オングストローム堆積し、その表面にリンを注入してN型不純物の多い領域55を形成する。この二つの層に含まれる不純物によって2層の間には電界57が生まれる。この電界によってウエットリフロー時にOH基が薄膜トランジスタに達するのを防ぐのである。

【0087】2層55、56を平行平板コンデンサと考えると、その電極間に捕らえることができるOH基のエネルギーと等しい加速電圧V(V)は、数2で表される。

【0088】

【数2】

$$V = q \cdot N / C$$

【0089】ただし、qは電荷素量(C)、Nは不純物の注入量($/\text{cm}^2$)、Cはコンデンサの容量(F)で、ある。

【0090】

【数3】

$$C = K_0 \cdot \epsilon_0 / d$$

【0091】ここで K_0 は酸化膜の比誘電率、 ϵ_0 は真空の誘電率(F/cm)、d(cm)は層55と層56の間の距離である。2層55、56への不純物の注入量を共に $6 \times 10^{14} / \text{cm}^2$ にすると、数2、数3から、約1keVのエネルギーを持ったOH基をこの膜中で減速させて捕らえることができる。2層の注入量を合わせておけば、電界57を層55、56の間にだけ形成することができ、他へ電界が漏れてTFTの動作に影響を与えることがない。

【0092】以上のように結果としてTFTを酸化することなく層間の平坦化をすることができる。つまり、この上に平坦化のためにボロンとリンを多く含む酸化膜24を堆積してウェットリフローを行えば、ウェットリフロー時の雰囲気中に含まれるOH基は経路46を通して酸化膜54を平坦化し、層55、56で形成される領域に達し、そこでエネルギーを失い、TFTの領域には侵入しない。ここではこの二つの不純物を含む層55、56は注入によって形成しているが、予め不純物を含んだ酸化膜を堆積しても良い。また、不純物を含んだポリシリコンを堆積しても良いが、コンタクトホールを開けた時にショートしないように側壁を酸化することや他から絶縁することにより電荷を蓄積しておくことが必要である。

【0093】そして、層間窒化膜を使わないので、コンタクトホール、タングステンプラグ、アルミ配線を形成した後、プラズマ窒化膜の堆積中に、プラズマ窒化膜中の水素によって薄膜トランジスタを水素化することができる。OH基とは逆に、水素イオン H^+ は電界57によって加速される方向にあるため、水素化の効果は得られることになる。

【0094】つまり、この構造を用いれば、TFTの水素化の効果を減じることなく、かつTFTを酸化することなく、ウェットリフローによって平坦化することができる。

【0095】この発明の第7実施例は、層間窒化膜の代わりに別の膜を用いて、TFTの水素化の効果を減じることなく、ウェットリフローによって平坦化することを実現していた。次に挙げる第8、第9実施例では、層間窒化膜の水素を通さない性質を利用して、予め層間窒化膜の下に水素を介在させておくものである。

【0096】次に、第8実施例を図について説明する。図19は第8実施例による半導体装置の製造工程の一つを示す断面図である。図19において31は基板、32は絶縁膜、33はTFTのゲート、34はTFTのソース、35はTFTのドレイン、36は層間窒化膜、47は水素注入である。

【0097】図19は、TFTを形成後、酸化膜32、層間窒化膜36の順に堆積したところである。ここ層間窒化膜36の下にTFT中に水素注入（注入量 $10^{16}/cm^2$ ）をして、TFTを水素化する。

【0098】この後、ボロン、リンを多く含む酸化膜を堆積し、ウェットリフローによって平坦化する。通常ダングリングボンドのターミネーターとしての水素は、800℃から900℃の熱処理を加えると、外へ拡散してその働きをなくしてしまう。しかし、層間窒化膜36には水素の拡散を抑制する効果があるため、ウェットリフロー（800℃から900℃の熱処理）中に、ポリシリコンの外へ拡散した水素は、層間窒化膜36の外へは拡散しない。そして、アルミ配線を形成した後の熱処理

（約400℃）に於いて、再びTFTのポリシリコンチャンネル中に拡散し、水素化することになる（再水素化）。なお、この構造における層間窒化膜36に対する要求は、第5、第6実施例とは逆に水素を透さないことであるため、数1000オングストローム程度に厚く堆積することが望ましい。

【0099】この構造を用いれば、再水素化によりTFTの水素化の効果を得ることができ、かつTFTを酸化することなく、ウェットリフローによって平坦化することができる。

【0100】次に、第9実施例を図について説明する。図20は第9実施例による半導体装置の製造工程の一つを示す断面図である。図20において31は基板、32は絶縁膜、33はTFTのゲート、34はTFTのソース、35はTFTのドレイン、36は層間窒化膜、44はプラズマ窒化膜、50はプラズマ窒化膜からの水素の拡散経路である。

【0101】図20は、TFT（ゲート33、ソース34、ドレイン35）形成した後、プラズマ窒化膜44を約5000オングストローム堆積し、次に層間窒化膜36を1000オングストローム堆積したところを示す図である。プラズマ窒化膜44の堆積中にTFTの水素化が行われる。拡散経路50に示すように、プラズマ窒化膜44とTFTの間に水素を遮るものが何もないので、TFTは充分に水素化される。

【0102】この後、ボロン、リンを多く含む酸化膜を堆積し、ウェットリフローによって平坦化する。層間窒化膜36には水素の拡散を抑制する効果があるため、ウェットリフロー（800℃から900℃の熱処理）中に、ポリシリコンの外へ拡散した水素は、層間窒化膜36の外へは拡散しない。そして、アルミ配線を形成した後の熱処理（約400℃）に於いて、再びTFTのポリシリコンチャンネル中に拡散し、水素化することになる（再水素化）。

【0103】第8実施例同様、この構造を用いれば、再水素化によりTFTの水素化の効果を得ることができ、かつTFTを酸化することなく、ウェットリフローによって平坦化することができる。

【0104】以上の第5実施例乃至第9実施例は、ウェットリフロー時にTFTが酸化されないことを第1に考えた上で、平坦化と水素化を行うという発明であった。次に挙げる第10実施例は、ウェットリフロー時にTFTが酸化されるのを見込んで予め厚く形成しておくことに特徴がある。

【0105】以下、この発明による第10実施例を図について説明する。図21、図22は、第10実施例による半導体装置の製造工程の一つを示す断面図である。図において31は基板、32は絶縁膜、33はTFTのゲート、34はTFTのソース、35はTFTのドレイン、46はOH基、51は予めチャンネルポリシリコンを

10

20

30

40

50

厚く形成したポリシリコン厚膜、52はウエットリフローにより酸化され、薄膜化されたポリシリコン薄膜、53は段差の多い層間膜、54はウエットリフローにより平坦化された層間膜である。

【0106】図21は、予めポリシリコン51を厚く（400オングストローム）堆積したTFTを形成した後、ボロン、リンを多く含む酸化膜53を堆積しウエットリフロー法によって平坦化していることを示す図である。この構造は、TFTの上に層間窒化膜を持たないので、OH基によってTFTが酸化される。その分薄膜化トランジスタのチャンネルを厚く形成しておく。

【0107】図23は、形成直後膜厚400オングストロームのポリシリコン上に、ボロン、リンを多く含む酸化膜を10000オングストローム堆積して820℃でウエットリフローした場合の、残ったポリシリコンの膜厚とウエットリフロー時間の関係を示す図である。我々の鋭意研究の結果、1時間以内の時間領域では、ポリシリコンの膜厚はほとんどリニアに減少し、そのウエハ面内のポリシリコン膜の均一性は非常に高く±5%以下であることが確かめられている。図23によると、60分の820℃ウエットリフローによって、膜厚400オングストロームのポリシリコンは約150オングストロームに膜減りすることが解る。

【0108】図22は、820℃60分のウエットリフロー処理を行って層間膜53が平坦化されて層間膜54となり、ポリシリコン51が薄膜化されてポリシリコン52が形成されたところである。先に述べたように、このTFTのポリシリコン52の膜厚は約150オングストロームになっている。この構造では層間窒化膜を使わないため、プラズマ窒化膜の堆積中にプラズマ窒化膜中の水素が自由にTFT中に拡散することができ、TFTのオフ電流を小さくすることができる。また、ウエットリフローによるポリシリコンの酸化のウエハ面内における均一性が非常によい場合は、初めに堆積するチャンネル部にポリシリコンを薄く（例えば350オングストローム）設定しておけばさらに薄膜化（約100オングストローム）することができ、TFTのオフ電流をさらに小さくすることができる。

【0109】ウエットリフローによる酸化は、ポリシリコンの表面でのみ起こるが、プラズマ窒化膜からの水素はポリシリコン膜中をある程度拡散してくれる。次の第11実施例はこの違いを利用したものである。図24はTFTの断面図であり、図25は図24のA-A'における断面図である。ポリシリコン59の上に層間窒化膜36が同じパターンで重なっている構造になっている。この構造を実現する製造法を次に説明する。

【0110】図26は、基板上に酸化膜32を形成し、ゲート電極33を形成し、ゲート絶縁膜60とチャンネル部にポリシリコン59を堆積した工程を示す図である。ここまでは、従来と同じである。

【0111】次にLPCVD法によって、層間窒化膜36を堆積する（図27）。

【0112】次に所望のチャンネルパターンと同じレジストパターン61を写真製版技術で形成する（図28）。

【0113】次にエッチング法によって、層間窒化膜36とポリシリコン59をパターン化する（図29）ただし、チャンネルを構成するポリシリコン59が後のリフローで酸化されてなくなるほどの厚さ以下であれば、ここでポリシリコン59をパターン化してなくても、リフロー時に層間窒化膜36のパターンと同じようにポリシリコン59が酸化されずに残る。

【0114】次にリンやボロンを含んだシリコン酸化膜53をCVD法で堆積し、水蒸気46を含んだ雰囲気中でリフロー熱処理を施して、シリコン酸化膜53を平坦化する（図30）。

【0115】最後にプラズマCVD法でプラズマ窒化膜44を堆積する（図31）。

【0116】図30において、層間窒化膜36が全面にないためチャンネル部にポリシリコン59のパターン端が酸化されて少し細るが、0.01~0.05μm程度でありチャンネル幅0.5~0.10μmに比べると十分小さい。また、プラズマ窒化膜44からの水素は、堆積中やその後のシンタ（450℃程度）において1.0μm以上拡散するため、層間窒化膜36があっても図28に示すようにチャンネル部のポリシリコン59の側面から拡散することにより問題なくチャンネル部のポリシリコン59全体に拡散してトラップ準位を減少せしめる。

【0117】従って、この方法によれば、後工程での水素のポリシリコン中への拡散を妨げることなく、ウエットリフローによるチャンネル部のポリシリコン59の酸化による膜減りや消失を防止することができる。

【0118】

【発明の効果】以上のように、請求項1に記載した発明の半導体装置によれば、チャンネル部に多結晶半導体薄膜を用いたトランジスタの上に形成されたシリコン窒化膜を通過することができない物質を前記トランジスタのチャンネル部に導入するため、前記シリコン窒化膜を開口したことを特徴としているので、トランジスタの持っているダングリングボンドを終結するための物質をトランジスタのチャンネル部へ導入でき、トランジスタの特性を向上することができるという効果がある。

【0119】請求項2に記載した発明の半導体装置の製造方法によれば、トランジスタのチャンネル部へシリコン窒化膜を通過することができない物質を導入するため、前記シリコン窒化膜に開口する工程を備えて構成されており、トランジスタの持っているダングリングボンドを終結することができ、トランジスタの特性を向上することができるという効果がある。

【0120】請求項3に記載した発明の半導体装置によれば、コンタクトホール用の穴としてシリコン窒化膜が

前記コンタクトホールよりも開口寸法の大きい穴を有するように構成されており、この開口寸法の大きい穴を通してトランジスタのチャンネル部に水素等のダングリングボンドを終結するための物質を容易に導入することができ、トランジスタの特性を向上することができるという効果がある。

【0121】請求項4に記載した発明の半導体装置の製造方法によれば、コンタクトホールのシリコン窒化膜部分の開口寸法を拡張する工程を備えて構成されており、シリコン窒化膜に開口寸法の大きな穴を容易に形成することができ、この穴からダングリングボンドを終結するための物質を導入してダングリングボンドを終結することにより、トランジスタの特性を向上することができるという効果がある。

【0122】請求項5に記載した発明の半導体装置によれば、少なくともその一部がポーラスなシリコン窒化膜を備えて構成されており、このポーラスな部分を通してトランジスタのチャンネル部に水素等のダングリングボンドを終結するための物質を容易に導入することができ、前記トランジスタの特性を向上することができるという効果がある。

【0123】請求項6に記載した発明の半導体装置の製造方法によれば、少なくともシリコン窒化膜の一部をポーラスにする工程を備えており、ポーラスになったシリコン窒化膜の一部を通して例えばダングリングボンドを終結するための物質を導入することによりトランジスタの特性を向上することができるという効果がある。

【0124】請求項7に記載した発明の半導体装置によればトランジスタの上に正に帯電した第1の膜と、帯電していない絶縁膜と、負に帯電した第2の膜とを備えて構成されており、第1の膜と第2の膜がつくる電界によって例えば負の電荷を有するOH基がトランジスタのチャンネル部に侵入するのを防ぎ、水素イオン等のダングリングボンドを終結するための物質を容易にチャンネル部へ導入することができ、トランジスタの特性を向上することができるという効果がある。

【0125】請求項8に記載した発明の半導体装置の製造方法によれば、トランジスタの上に正に帯電した第1の膜を堆積する工程と負に帯電した第2の膜を堆積する工程とを備えており、ダングリングボンドを終結するための物質を選択的に導入することができ、トランジスタの特性を向上することができるという効果がある。

【0126】請求項9に記載した発明の半導体装置によれば、トランジスタの上に形成された水素を多く含む領域を備えて構成されており、前記領域よりトランジスタのチャンネル部に水素を導入することができ、トランジスタの特性を向上することができるという効果がある。

【0127】請求項10乃至請求項12に記載した発明の半導体装置の製造方法によれば、トランジスタの上に水素含有量の多い領域を形成する工程と、前記領域の上

にシリコン窒化膜を形成する工程とを備えており、ダングリングボンドを終結するためにトランジスタのチャンネル部に水素を導入することができ、トランジスタの特性を向上することができるという効果がある。

【0128】請求項13に記載した発明の半導体装置によれば、シリコン窒化膜のパターンがトランジスタのチャンネルパターンと同じ所望の形状に形成されており、シリコン窒化膜の形成されているトランジスタのチャンネル部を保護するとともに、シリコン窒化膜に覆われていない部分より水素等のダングリングボンドを終結するための物質を導入することができ、トランジスタの特性を向上することができるという効果がある。

【0129】請求項14に記載した発明の半導体装置の製造方法によれば、シリコン窒化膜を多結晶半導体薄膜と同一の所望のパターンに形成する工程を備えており、多結晶半導体膜を保護するとともに、トランジスタのチャンネル部にダングリングボンドを、終結させるための物質を導入することができ、トランジスタの特性を向上することができるという効果がある。

【0130】請求項15に記載した発明の半導体装置の製造方法によれば、トランジスタのチャンネルに用いる多結晶半導体膜を厚く堆積する工程と、前記多結晶半導体膜を酸化して薄くすることにより該多結晶半導体膜を所望の厚さにする工程とを備えており、該多結晶半導体膜を保護するための膜を必要としないので、ダングリングボンドを終結するための物質を容易に導入することができ、トランジスタの特性を向上することができるという効果がある。

【図面の簡単な説明】

【図1】この発明の第1実施例によるSRAMのメモリセルの一部分を示す断面図である。

【図2】この発明の第2実施例によるSRAMのメモリセルの一部分を示す断面図である。

【図3】この発明の第3実施例による多層配線されたSRAMのメモリセルの一部分を示す断面図である。

【図4】この発明の第4実施例による多層配線されたSRAMのメモリセルの一部分を示す断面図である。

【図5】従来のSRAMのメモリセルの一部分を示す断面図である。

【図6】ウエットリフローを用いない従来の半導体装置の薄膜トランジスタ周辺の断面図である。

【図7】ウエットリフローを用いた従来の半導体装置の薄膜トランジスタ周辺の断面図である。

【図8】この発明の第5実施例による半導体装置の製造工程を示した断面図である。

【図9】この発明の第5実施例による半導体装置の製造工程を示した断面図である。

【図10】この発明の第5実施例による半導体装置の製造工程を示した断面図である。

【図11】この発明の第5実施例による半導体装置の製

造工程を示した断面図である。

【図12】この発明の第5実施例による半導体装置の製造工程を示した断面図である。

【図13】この発明の第5実施例による半導体装置の製造工程を示した断面図である。

【図14】この発明の第5実施例による半導体装置の製造工程を示した断面図である。

【図15】この発明の第5実施例による半導体装置の製造工程を示した断面図である。

【図16】この発明の第6実施例による半導体装置の製造工程を示した断面図である。

【図17】この発明の第6実施例による半導体装置の製造工程を示した断面図である。

【図18】この発明の第7実施例による半導体装置の製造工程の断面図である。

【図19】この発明の第8実施例による半導体装置の製造工程の断面図である。

【図20】この発明の第9実施例による半導体装置の製造工程の断面図である。

【図21】この発明の第10実施例による半導体装置の製造工程の断面図である。

【図22】この発明の第10実施例による半導体装置の製造工程の断面図である。

【図23】この発明における、ポリシリコンの膜厚とウエットリフロー時間の関係を示す図である。

【図24】この発明の第11実施例における薄膜トランジスタの平面図である。

【図25】図24のA-A'における断面図である。

【図26】この発明の第11実施例における製造工程の断面図である。

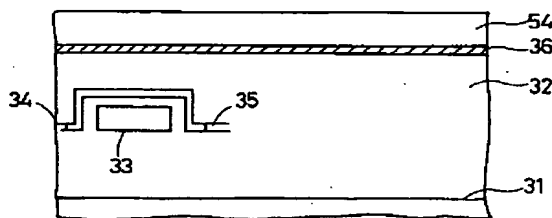
【図27】この発明の第11実施例における製造工程の断面図である。

【図28】この発明の第11実施例における製造工程の断面図である。

【図29】この発明の第11実施例における製造工程の断面図である。

【図30】この発明の第11実施例における製造工程の断面図である。

【図8】

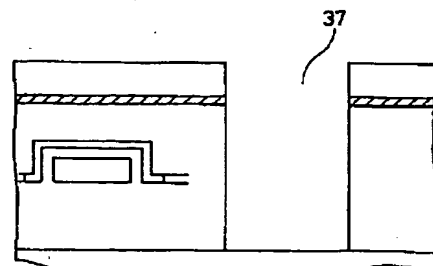


【図31】この発明の第11実施例における製造工程の断面図である。

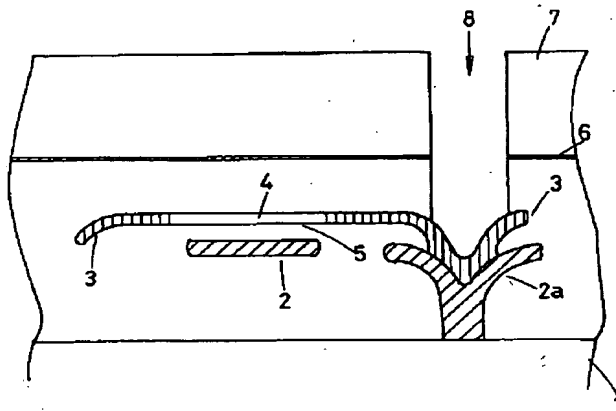
【符号の説明】

- 1 単結晶シリコン基板
- 2 ゲート電極
- 2a ゲート電極
- 3 ソース・ドレイン領域
- 4 チャネル部
- 5 ゲート酸化膜
- 6 シリコン窒化膜
- 10 7, 14 層間酸化膜
- 8, 10, 18 スルーホール
- 9, 11, 13 金属プラグ
- 12 第1層アルミ配線
- 15 第2層アルミパッド
- 17 第2層アルミ配線
- 31 基板
- 32 酸化膜
- 33 ゲート
- 34 ソース
- 35 ドレイン
- 36 層間窒化膜
- 37 コンタクトホール
- 39 酸化膜
- 41 チタンナイトライド
- 42 タングステンプラグ
- 43 アルミ配線
- 44 プラズマ窒化膜
- 45 イオン交換膜
- 48 層間窒化膜
- 50 水素の拡散経路
- 51 ポリシリコン
- 52 ポリシリコン
- 55 N型不純物が多く注入された領域
- 56 P型不純物が多く注入された領域
- 59 ポリシリコン
- 60 ゲート絶縁膜

【図9】

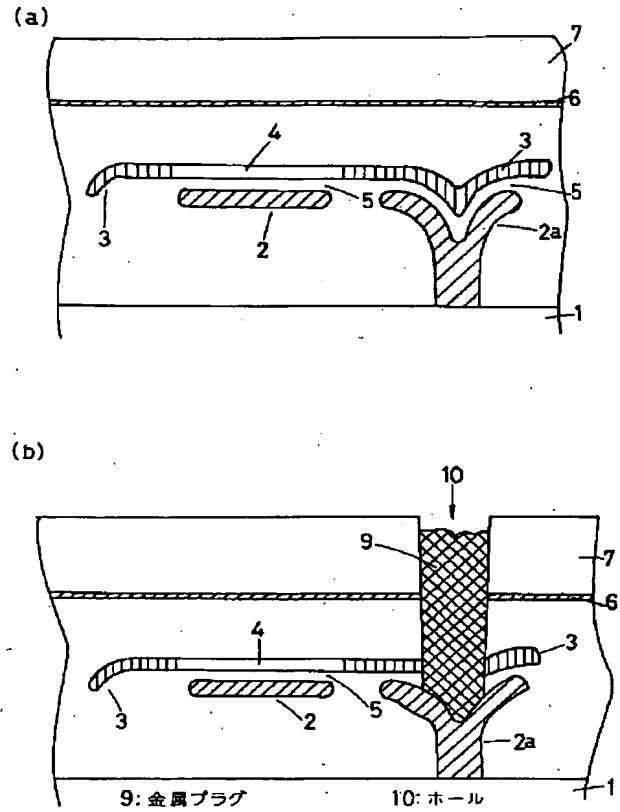


【図1】

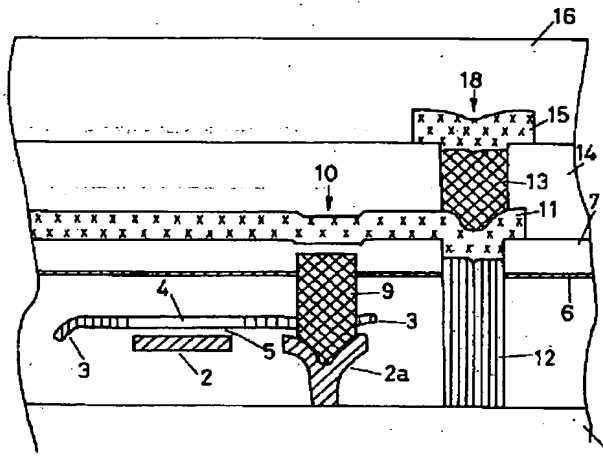


- 1: 単結晶シリコン基板
2: ゲート電極
2a: ゲート電極
3: ソース・ドレイン領域
4: チャネル部
5: ゲート酸化膜
6: シリコン窒化膜
7: 層間酸化膜
8: ホール

【図2】

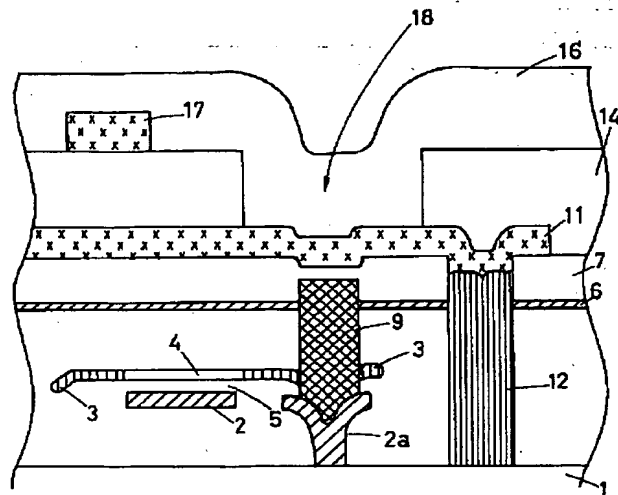


【図3】



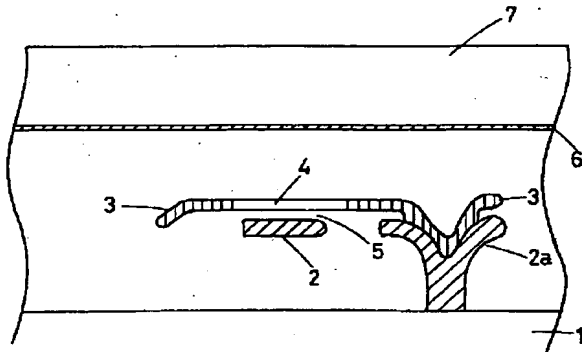
- 11, 13: 金属プラグ
12: 第1層アルミ配線
14: 層間酸化膜
15: 第2層アルミパッド
16: プラズマシリコン窒化膜
18: スルーホール

【図4】

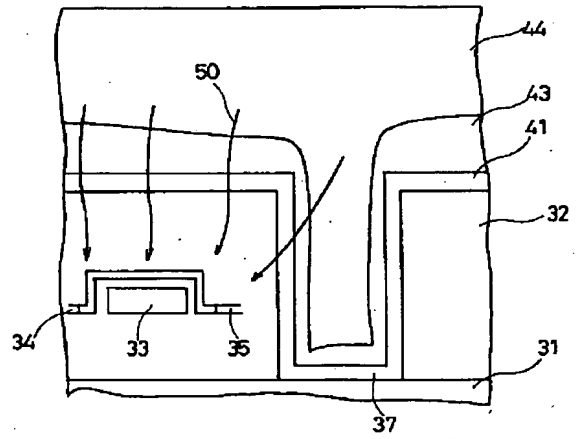


- 17: 第2層アルミ配線
18: スルーホール

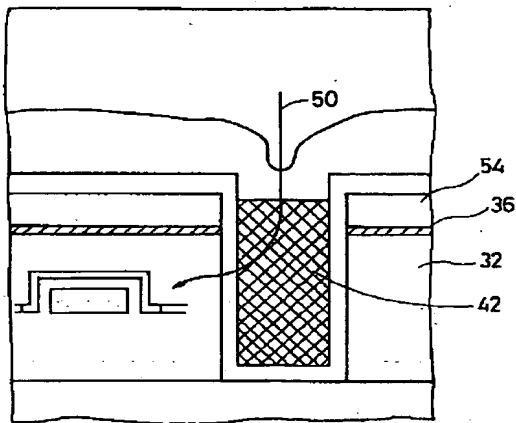
【図5】



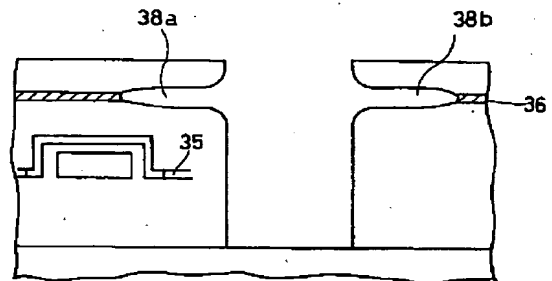
【図6】



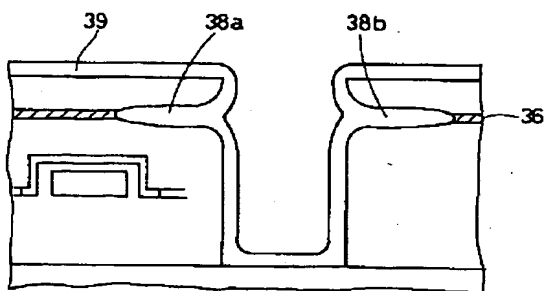
【図7】



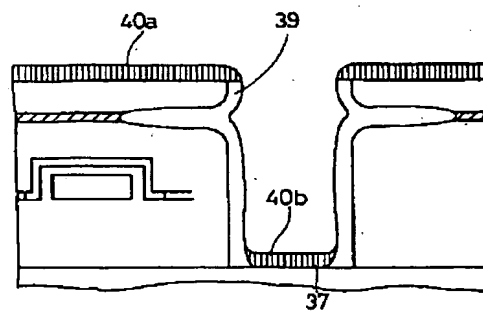
【図10】



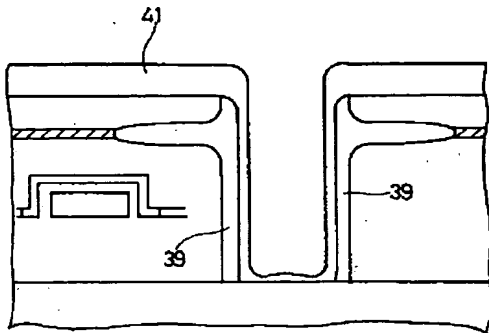
【図11】



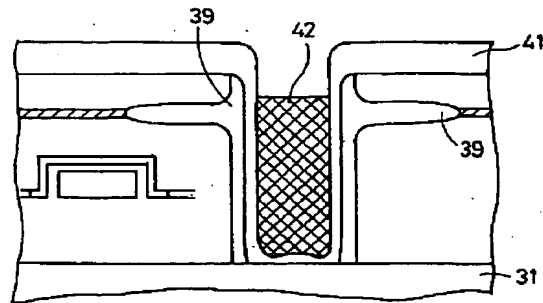
【図12】



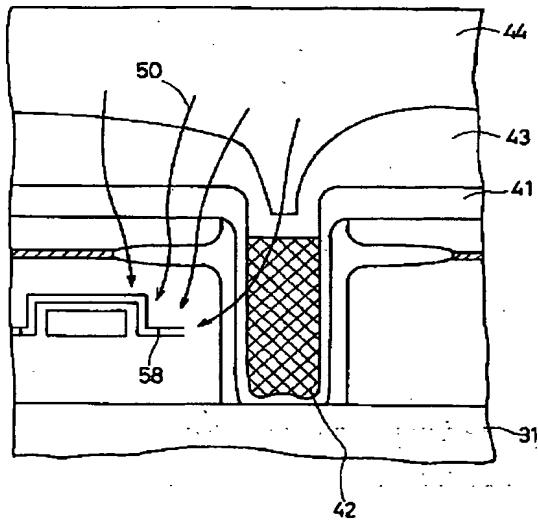
【図13】



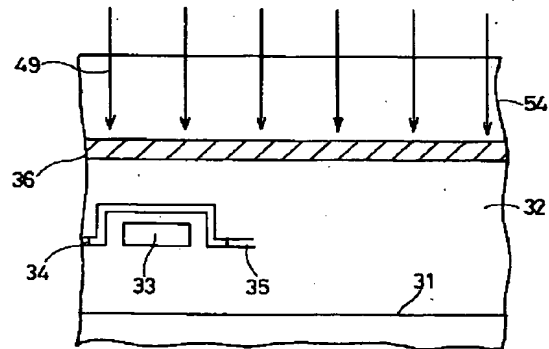
【図14】



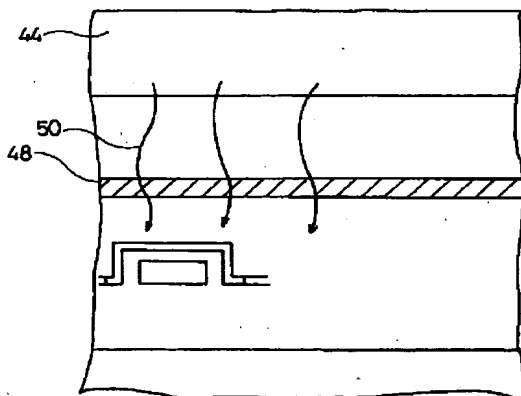
【図15】



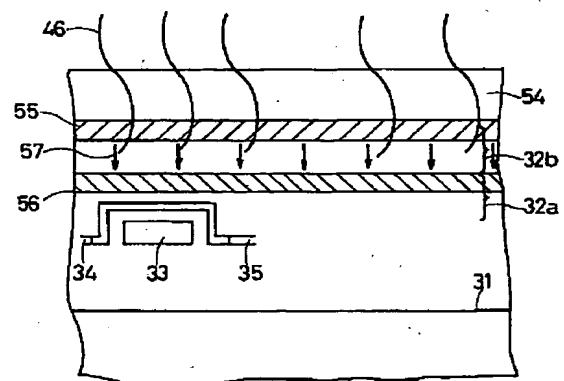
【図16】



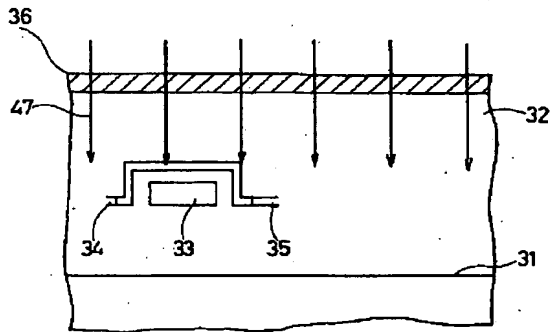
【図17】



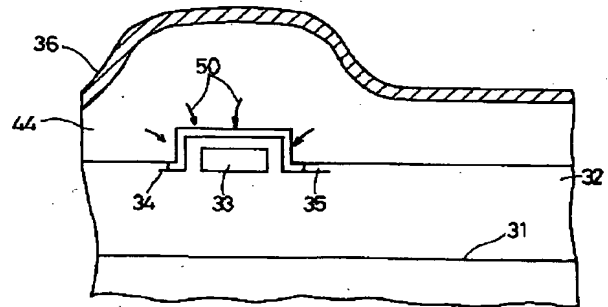
【図18】



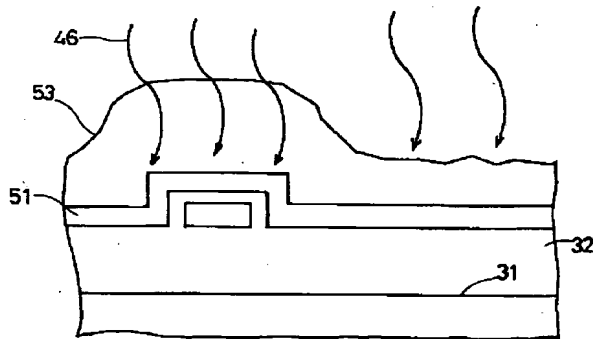
【図19】



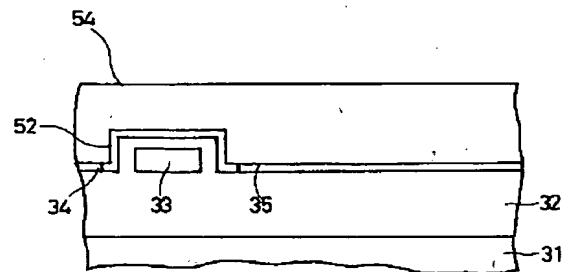
【図20】



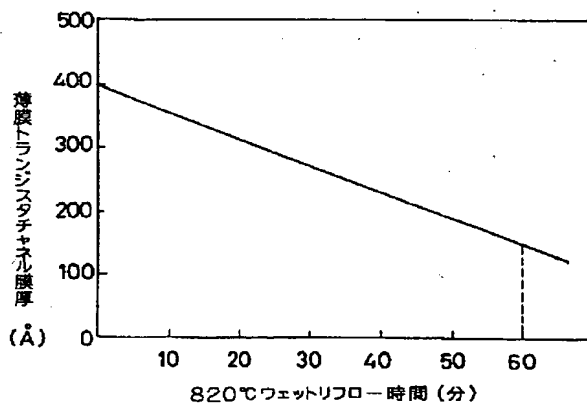
【図21】



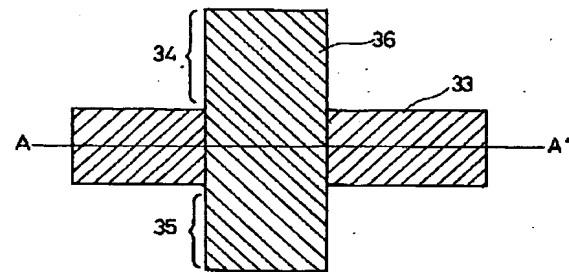
【図22】



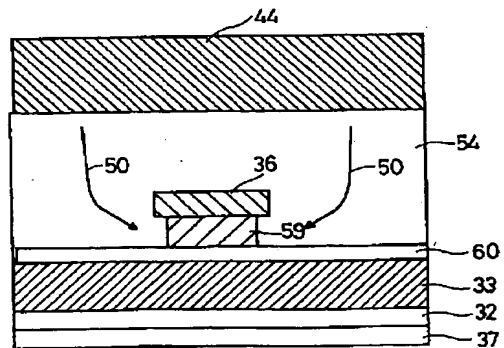
【図23】



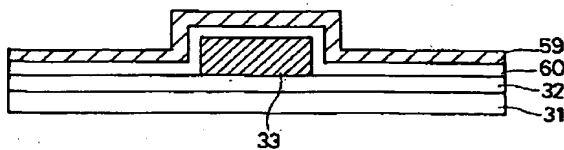
【図24】



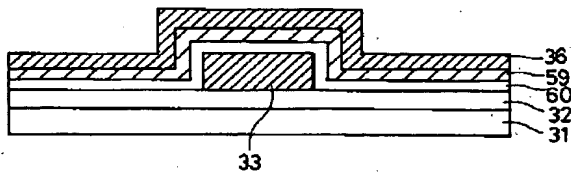
【図25】



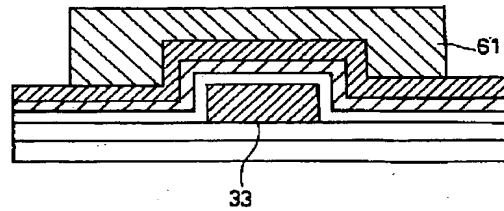
【図26】



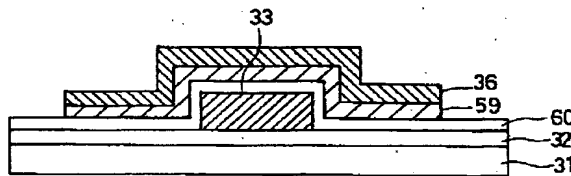
【図27】



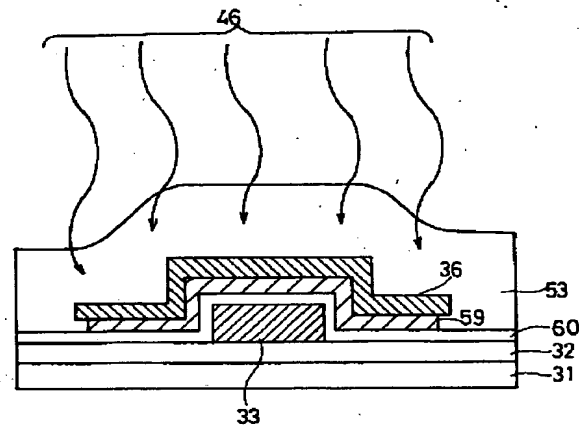
【図28】



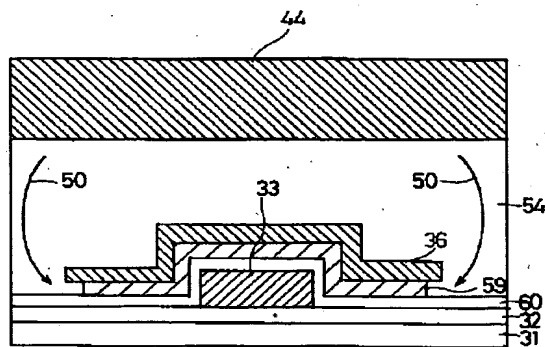
【図29】



【図30】



【図31】



【手続補正書】

【提出日】平成4年9月24日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正内容】

【0082】図16は、ウェットリフローによって膜54の平坦化が終了し、シリコン注入49している状態を示す図である。シリコン注入は、層間窒化膜36中のシリコンの割合を増すことにより格子間隔を拡げ、層間窒化膜36をポーラスするため行うので、層間窒化膜36の深さに注入ピークがくるようにする。たとえば深さ4000オングストロームの位置に層間窒化膜36がある

場合には、200keV程度のエネルギーで注入する。注入量は、 $10^{15}/\text{cm}^2$ 以上に設定する。このシリコン注入の目的は、水素の膜中での拡散係数を増やして上から下へ透過しやすいよう層間窒化膜36をポーラスにするため行うものであり、その目的が達成できるものであれば酸素イオンやその他のイオンを注入しても良い。

【手続補正2】

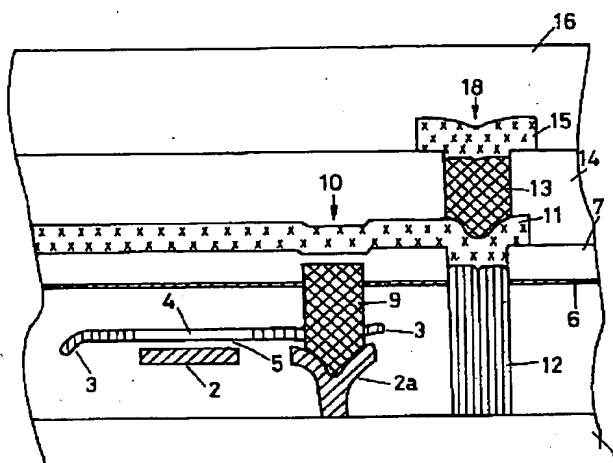
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



- 12, 13: 金属ブラグ
11: 第1層アルミ配線
14: 層間酸化膜
15: 第2層アルミパッド
16: プラズマシリコン窒化膜
18: スルーホール

34 ソース

35 ドレイン

3 6 層間室化膜

37 コンタクトホール

3.9 酸化膜

41 チタンナイトライド

- ## 4.2 タングステンプラグ

- ### 4.3 アルミ配線

- #### 4.4 プラズマ窒化膜

- 45 イオン交換膜

- #### 46 OH基を持ったガス

- 48 層間窒化膜 24

- 50 水素の拡散経路

- 51 ポリシリコン

- ## 52 ポリシリコン

- ### 53 リフロー前の層間膜

- ## 54 リフロー後の層間膜

- ### 5.5 N型不純物が多く注入された領域

- ## 5.6 P型不純物が多く注入された領域

- 59 ポリシリコン

- 60 ゲート絶縁膜

技術表示箇所

3 1 1 N

(20)

特開平5-129333

371

(72)発明者 前川 繁登

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The semiconductor device characterized by carrying out opening of said silicon nitride in order to introduce into the channel section of said transistor the matter which cannot be equipped with the transistor which used the polycrystal semi-conductor thin film for the channel section, and the silicon nitride formed on said transistor, and cannot pass said silicon nitride.

[Claim 2] The manufacture approach of the semiconductor device equipped with the process which forms the transistor which used the polycrystal semi-conductor thin film for the channel section, the process which forms a silicon nitride on said transistor, and the process which carries out opening of said silicon nitride in order to introduce the matter which cannot pass said silicon nitride to the channel section of said transistor.

[Claim 3] The semiconductor device with which it has the transistor which used the polycrystal semi-conductor thin film for the channel section, the silicon nitride formed on said transistor, and the contact hole which penetrates said silicon nitride, and said silicon nitride has the hole where an opening dimension is larger than said contact hole as a hole for said contact holes.

[Claim 4] The manufacture approach of the semiconductor device equipped with the process which forms the transistor which has the channel of a polycrystal semi-conductor thin film, the process which forms a silicon nitride on said transistor, the process which carries out opening of the contact hole which penetrates said silicon nitride, and the process which extends the opening dimension of said silicon nitride part of said contact hole.

[Claim 5] The semiconductor device with which it was formed on the transistor which used the polycrystal semi-conductor thin film for the channel section, and said transistor, and the part was equipped with the porous silicon nitride at least.

[Claim 6] The manufacture approach of the semiconductor device equipped with the process which forms the transistor which has the channel of a polycrystal semi-conductor thin film, the process which forms a silicon nitride on said

transistor, and the process which makes porous said a part of silicon nitride at least.

[Claim 7] The semiconductor device equipped with the 1st film which was formed on the transistor which used the polycrystal semi-conductor thin film for the channel section, and said transistor, and was just charged, the insulator layer which is formed on said 1st film and has not been charged, and the 2nd film which was formed on said insulator layer and charged in negative.

[Claim 8] The manufacture approach of the semiconductor device equipped with the process which forms the transistor which has the channel of a polycrystal semi-conductor thin film, the process which deposits the 1st film charged in negative on said transistor, the process which forms the insulator layer which has not been charged on said 1st film, and the process which deposits the 2nd just charged film on said insulator layer.

[Claim 9] The semiconductor device equipped with the transistor which used the polycrystal semi-conductor thin film for the channel section, the field containing many hydrogen formed on said transistor, and the silicon nitride formed on said field.

[Claim 10] The manufacture approach of the semiconductor device equipped with the process which forms the transistor which has the channel of a polycrystal semi-conductor thin film, the process which forms a field with many hydrogen contents on said transistor, and the process which forms a silicon nitride on said field.

[Claim 11] The manufacture approach of the semiconductor device according to claim 10 characterized by the process which forms a field with many contents of said hydrogen including the process which pours in hydrogen through said silicon nitride.

[Claim 12] The manufacture approach of the semiconductor device according to claim 10 characterized by the process which forms a field with many contents of said hydrogen including the process which deposits the film with many contents of hydrogen on said transistor.

[Claim 13] The semiconductor device characterized by having the transistor which used the polycrystal semi-conductor thin film for the channel section, and the silicon nitride formed on said transistor, and forming the pattern of said silicon nitride in the configuration of the same request as the channel pattern of said transistor.

[Claim 14] The manufacture approach of the semiconductor device equipped with the process which forms the polycrystal semi-conductor thin film used for the channel of a transistor, the process which deposits a silicon nitride on said polycrystal semi-conductor thin film, and the

process which carries out patterning of said silicon nitride to the pattern of the same request as said polycrystal semi-conductor thin film.

[Claim 15] The manufacture approach of the semiconductor device equipped with the process which makes it thin and makes this polycrystal semi-conductor film desired thickness by oxidizing said polycrystal semi-conductor film of said transistor while reducing the level difference of said silicon oxide by heat-treating in the ambient atmosphere of the process which deposits thickly the polycrystal semi-conductor film used for the channel of a transistor, the process which deposits the silicon oxide containing an impurity on said transistor, and the molecule containing an OH radical.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the technique and its manufacture approach for the property improvement of a transistor which especially has thin film polycrystalline silicon etc. in the channel section about transistors, such as a thin film transistor used for the memory cell of static memory etc.

[0002]

[Description of the Prior Art] The conventional semiconductor device containing a thin film polycrystal silicon transistor (henceforth Thin Film Transistor: TFT) is explained. In SRAM to which current and high integration progress, in order to realize a current (or it is called low standby current) in small area at the time of low standby, the memory cell (henceforth a perfect CMOS mold memory cell) which accumulated the P channel MOS thin film polycrystal silicon transistor (henceforth PMOS-TFT) on the N-channel metal oxide semiconductor transistor is demanded. For example, the standby current I_{sb} of the CMOS type low consumption SRAM using TFT is OFF state current I_{off} of TFT. It is determined, if 1 M bit SRAM is taken for an example -- $I_{sb}=I_{off} \times 10^6$ it is -- 4 M bit SRAM -- $I_{sb}=I_{off} \times 4 \times 10^6$ it is . Thus, standby current I_{sb} becomes the value which doubled the OFF state current of TFT the number of memory cells. Therefore, TFT 1 piece 1 piece OFF state current I_{off} By decreasing, the standby current I_{sb} of the whole SRAM is greatly reducible.

[0003] The cause of generating of this OFF state current of TFT is considered to be a generating current within the depletion layer between a drain and a channel. This generating current originates in the trap level in the grain boundary of polycrystalline silicon, or the defect in crystal grain. Therefore, one method of reducing the OFF state current of TFT using polycrystalline silicon

is carrying out termination of the dangling bond which forms this trap level by hydrogen etc. By it, the trap level in a band gap can decrease and a generating current, i.e., the OFF state current of TFT, can be reduced through a trap. Although the approach of depositing a plasma nitride is common as the approach of hydrogenation after forming aluminum wiring, the effectiveness of hydrogenation can be acquired also by the approach of pouring in a hydrogen ion, and the method of annealing in the hydrogen plasma. A plasma nitride is a nitride formed by the plasma-CVD method here.

[0004] Moreover, since it can expect that a level difference becomes high absolutely and the aspect ratio of a contact hole becomes high in a submicron device simultaneously, a plug technique is becoming indispensable. Therefore, when flattening of an interlayer film is needed and it uses the wet reflow of an oxide film for flattening, a silicon nitride is prepared as an OH radical stopper. The structure of the memory cell of mass SRAM which makes such a plug technique indispensable is described.

[0005] The conventional semiconductor device containing TFT is explained using drawing 5 R> 5. Drawing 5 is the sectional view having shown a part of structure of SRAM containing TFT. The gate electrode of TFT used in drawing as a load of the memory cell which formed 1 by the single crystal silicon substrate, and formed 2 with polycrystalline silicon, The gate electrode of another TFT used as a load of the memory cell which formed 2a with polycrystalline silicon, As for the source drain field of TFT which formed 3 with thin film polycrystalline silicon, the channel of TFT in which 4 was formed with thin film polycrystalline silicon, the gate oxide that formed 5 with the CVD method, and 6, a silicon nitride and 7 are aluminum interlayer oxide films.

[0006] In order to manufacture this semiconductor device, after forming N-channel metal oxide semiconductor-FET etc. on single crystal silicon 1, gate electrode 2 of gate electrode [of TFT] 2 and another TFT a is formed with polycrystalline silicon through an interlayer insulation film.

[0007] next, the reduced pressure CVD (Chemical Vapour Deposition) -- law -- the silicon oxide 5 for gate oxide -- for example, the 2nd layer polycrystalline silicon 3 and 4 which deposits 40nm, then works as an active object -- for example, 30nm is deposited.

[0008] In this condition, by the photolithography method, it leaves a resist to the field 4 which should serve as a channel, and the ion implantation for source drains is performed. Then, by heat-treating, an ion kind is activated, the source drain field 3 is formed, and TFT is

constituted.

[0009] Furthermore, after depositing an interlayer insulation film, 100nm of silicon nitrides 6 for OH radical stoppers is deposited, for example. After depositing the oxide film 7 with which the impurity was added on it, flattening of the front face is carried out by heat-treating in a wet ambient atmosphere.

[0010] Then, although not shown in drawing, it is carried out for connection with aluminum wiring with which the process which carries out opening of the oxide film 7 and the silicon nitride 6 which carried out flattening, and the process which embeds a plug are formed in the upper layer.

[0011] Next, diffusion of the hydrogen of the conventional semiconductor device is explained using drawing 6 and drawing 7. Drawing 6 is the sectional view of the TFT circumference of the conventional semiconductor device. drawing 6 and drawing 7 -- setting -- 31 -- a substrate and 32 -- for the source of TFT, and 35, as for the nitride between layers, and 37, the drain of TFT and 36 are [an oxide film and 33 / the gate of TFT, and 34 / a contact hole and 41] titanium nitride RAIDO and the interlayer film (flat film) to which a plasma nitride and 50 were carried out by the diffusion path of the hydrogen from a plasma nitride, and flattening of 54 was carried out [42 / a tungsten plug and 43] for aluminum wiring and 44 by the wet reflow. Since the hydrogen in a plasma nitride reaches a thin film transistor through the diffusion path 50 in drawing 6 and hydrogenates TFT when depositing the plasma nitride 54, TFT with the small OFF state current can be made.

[0012] The wet reflow to which about 1 micrometer of oxide films including many boron, Lynn, etc. is deposited on as the approach of flattening, and a reflow of the heat treatment is added and carried out in a steam at about 700 to 1000 degrees C although flattening of the lower layer film is important for open-circuit prevention of aluminum wiring is oxygen O₂. Nitrogen N₂ Compared with heat treatment in an ambient atmosphere, the reflow effectiveness is large. However, when applying this wet reflow method to interlayer film flattening of SRAM using TFT, the OH radical contained in the ambient atmosphere at the time of a wet reflow oxidizes TFT, and there is a problem that that channel field will disappear. Then, the nitride (nitride 36 between layers) which does not let an OH radical pass was inserted between oxide films and TFT(s) including many boron, Lynn, etc., and oxidation of TFT is prevented. The nitride 36 between this layer is formed with a reduced pressure CVD method (henceforth the LPCVD method) at the temperature of about 780 degrees C. Excluding

hydrogen, since membraneous quality is precise, the diffusion coefficient of hydrogen of the nitride by the LPCVD method is also very small. A plasma nitride emits many hydrogen for hydrogen to reverse by heat treatment after an implication.

[0013] However, a new problem arises by having used the nitride 36 between layers here. In order that the nitride 36 between layers may also bar diffusion of the hydrogen in the plasma nitride 44, it cannot decrease effectiveness of hydrogenation over TFT remarkably, cannot end the dangling bond of the channel section of TFT, but it not only does not let an OH radical pass, but causes the problem of making the OFF state current increase. Our wholeheartedly research shows that hydrogen hardly penetrates even the nitride between [of about 200Å] layers. Hydrogen can be given to TFT only from the hole of the nitride 36 between layers which was able to be made simultaneously (path 50 in drawing 7), when carrying out opening of the contact hole 37 of drawing 7.

[0014]

[Problem(s) to be Solved by the Invention] The thin film polycrystalline silicon used for the channel section and the source drain field of TFT contains many dangling bonds. By making this dangling bond end, it is known that an ON state current property will be improved by the OFF state current property list among the properties of TFT. As an approach of making a dangling bond ending, after an aluminum wiring process is completed, the hydrogen contained about about ten% in the plasma nitride used for the passivation film is diffused, and the termination may be performed.

[0015] However, since the conventional semiconductor memory is constituted as mentioned above, it serves as structure which a silicon nitride deposits on the upper layer of PMOS-TFT used as a load. And a silicon nitride with precise structure blocks diffusion of hydrogen, and hydrogen is prevented from reaching the channel section of TFT. For this reason, the dangling bond of TFT could not be ended by hydrogen, but there was a trouble that the property of TFT could not be raised.

[0016] Without extinguishing the channel section of TFT using a polycrystal semiconductor by oxidization by an OH radical etc., in case it be made in order to cancel the above troubles, and flattening of the interlayer film be carry out by the wet reflow, by aiming at diffusion of the matter required for the termination of a dangling bond of TFT(s), such as hydrogen diffusion, this invention aim at improving the property of TFT, and aim at offering still such a manufacture approach of TFT.

[0017]

[Means for Solving the Problem] The 1st mode of

the semiconductor device concerning this invention is equipped with the transistor which used the polycrystal semi-conductor thin film for the channel section, and the silicon nitride formed on said transistor, is constituted, and it is characterized by carrying out opening of said silicon nitride in order to introduce into the channel section of said transistor the matter which cannot pass said silicon nitride.

[0018] The 1st mode of the manufacture approach of the semiconductor device concerning this invention is equipped with the process which forms the transistor which used the polycrystal semi-conductor thin film for the channel section, the process which forms a silicon nitride on said transistor, and the process which carries out opening to said silicon nitride in order to introduce the matter which cannot pass said silicon nitride to the channel section of said transistor, and is constituted.

[0019] The 2nd mode of the semiconductor device concerning this invention is equipped with the transistor which used the polycrystal semi-conductor thin film for the channel section, the silicon nitride formed on said transistor, and the contact hole which penetrates said silicon nitride, and it is constituted so that said silicon nitride may have the hole where an opening dimension is larger than said contact hole as a hole for said contact holes.

[0020] The 2nd mode of the manufacture approach of the semiconductor device concerning this invention is equipped with the process which forms the transistor which has the channel of a polycrystal semi-conductor thin film, the process which forms a silicon nitride on said transistor, the process which carries out opening of the contact hole which penetrates said silicon nitride, and the process which extends the opening dimension of said silicon nitride part of said contact hole, and is constituted.

[0021] The 3rd mode of the semiconductor device concerning this invention is formed on the transistor which used the polycrystal semi-conductor thin film for the channel section, and said transistor, and at least, that part is equipped with a porous silicon nitride, and it is constituted.

[0022] The 3rd mode of the manufacture approach of the semiconductor device concerning this invention is equipped with the process which forms the transistor which has the channel of a polycrystal semi-conductor thin film, the process which forms a silicon nitride on said transistor, and the process which makes porous said a part of silicon nitride at least, and is constituted.

[0023] The 4th mode of the semiconductor device concerning this invention is formed on the

transistor which used the polycrystal semi-conductor thin film for the channel section, and said transistor, is equipped with the 1st just charged film, the insulator layer which is formed on said 1st film and has not been charged, and the 2nd film which was formed on said insulator layer and charged in negative, and is constituted.

[0024] The 4th mode of the manufacture approach of the semiconductor device concerning this invention is equipped with the process which forms the transistor which has the channel of a polycrystal semi-conductor thin film, the process which deposits the 1st film charged in negative on said transistor, the process which form the insulator layer which has not been charged on said 1st film, and the process which deposit the 2nd just charged film on said insulator layer, and is constituted.

[0025] The 5th mode of the semiconductor device concerning this invention is equipped with the transistor which used the polycrystal semi-conductor thin film for the channel section, the field containing many hydrogen formed on said transistor, and the silicon nitride formed on said field; and is constituted.

[0026] The 5th mode of the manufacture approach of the semiconductor device concerning this invention is equipped with the process which forms the transistor which has the channel of a polycrystal semi-conductor thin film, the process which forms a field with many hydrogen contents on said transistor, and the process which forms a silicon nitride on said field, and is constituted.

[0027] The 6th mode of the manufacture approach of the semiconductor device concerning this invention is characterized by the process which forms a field with many contents of said hydrogen including the process which pours in hydrogen through said silicon nitride.

[0028] The 7th mode of the manufacture approach of the semiconductor device concerning this invention is characterized by the process which forms a field with many contents of said hydrogen including the process which deposits the film with many contents of hydrogen on said transistor.

[0029] The 6th mode of the semiconductor device concerning this invention is equipped with the transistor which used the polycrystal semi-conductor thin film for the channel section, and the silicon nitride formed on said transistor, and is characterized by forming the pattern of said silicon nitride in the configuration of the same request as the channel pattern of said transistor.

[0030] The 8th mode of the manufacture approach of the semiconductor device concerning this invention is equipped with the process which forms the polycrystal semi-conductor thin film used for the channel of a transistor, the process

which deposits a silicon nitride on said polycrystal semi-conductor thin film, and the process which carries out patterning of said silicon nitride to the pattern of the same request as said polycrystal semi-conductor thin film, and is constituted.

[0031] The 9th mode of the manufacture approach of the semiconductor device concerning this invention The process which deposits thickly the polycrystal semi-conductor film used for the channel of a transistor, The process which deposits the silicon oxide containing an impurity on said transistor, While reducing the level difference of said silicon oxide by heat-treating in the ambient atmosphere of the molecule containing an OH radical, by oxidizing said polycrystal semi-conductor film of said transistor, it has the process which makes it thin and makes this polycrystal semi-conductor film desired thickness, and is constituted.

[0032]

[Function] The semiconductor device by this invention sets like the 1st voice. Since it is characterized by carrying out opening of said silicon nitride in order to introduce into the channel section of said transistor the matter which cannot pass the silicon nitride formed on the transistor using a polycrystal semi-conductor thin film The matter for ending the dangling bond which the transistor has can be introduced to the channel section of a transistor through opening, and the dangling bond which the transistor has can be made to end easily.

[0033] The manufacture approach of the semiconductor device by this invention sets like the 1st voice, since the matter which cannot pass a silicon nitride to the channel section of a transistor is introduced, it has the process which carries out opening to said silicon nitride, and is constituted, and the dangling bond which introduces hydrogen to the channel section of a transistor and the transistor has from opening can be ended easily.

[0034] Since the silicon nitride [like] has the hole where an opening dimension is larger than a contact hole the 2nd voice, it can let this hole pass, the matter for ending the dangling bond of the semiconductor device by this invention which the transistor has can be easily introduced to the channel section of a transistor, and a dangling bond can be made to end.

[0035] The matter for being able to form a big hole in a silicon nitride easily, for example, ending a dangling bond from this hole can be introduced, and the dangling bond which the transistor has can be made to end by the manufacture approach of the semiconductor device by this invention setting like the 2nd voice, and performing the process which extends the opening dimension of

the silicon nitride part of a contact hole after the process of a wet reflow, for example.

[0036] The matter for a part of silicon nitride [like] being in the porous condition the 3rd voice, and ending the dangling bond of a transistor through a porous part of the semiconductor device by this invention can be introduced to the channel section of a transistor, and the dangling bond which the transistor has can be made to end.

[0037] The matter for ending the dangling bond which lets a part of silicon nitride which became porous pass, for example, the transistor has can be introduced to the channel section of a transistor, and the dangling bond which the transistor has can be made to end by the manufacture approach of the semiconductor device by this invention setting like the 3rd voice, and performing the process which makes a part of silicon nitride porous at least after the process of a wet reflow, for example.

[0038] By the electric field formed with the 1st film of the semiconductor device by this invention charged in forward [like] the 4th voice, and the 2nd film charged in negative It prevents that an OH radical with the negative charge which oxidizes a polycrystal semi-conductor invades into a transistor side from these film. And the matter (for example, hydrogen ion etc.) for ending a dangling bond can be introduced through the 1st and 2nd film, and can end the dangling bond which the transistor has.

[0039] The manufacture approach of the semiconductor device by this invention sets like the 4th voice. According to the process which deposits on a transistor the 1st film charged in negative, the process which forms the 1st insulator layer which has not been charged on the 1st film, and the process which deposits the 2nd just charged film on the 1st insulator layer Since the 1st film charged in negative and the 2nd just charged film are deposited on a transistor The matter for ending a dangling bond, while preventing that the OH radical which has negative charge reaches the channel section of a transistor after forming the 1st and 2nd film can be introduced through these film. The dangling bond which the transistor has can be ended.

[0040] Since the field of the semiconductor device by this invention which contains many hydrogen [like] the 5th voice is formed between the silicon nitride and the transistor, it can end the dangling bond in which the transistor has that the channel section of a transistor oxidizes, for example at the time of a wet reflow by the hydrogen which prevented by the silicon nitride and was diffused from said field.

[0041] The dangling bond which prevents being able to form a field with many contents of

hydrogen between a silicon nitride and a transistor, for example, the channel section of a transistor oxidizing at the time of a wet reflow by the silicon nitride, and is made to diffuse hydrogen from said field, and the transistor has can be ended according to the process which the manufacture approach of the semiconductor device by this invention sets like the 5th voice, and forms a field with many hydrogen contents on a transistor.

[0042] The manufacture approach of the semiconductor device by this invention sets like the 6th voice, according to the process which pours in hydrogen through a silicon nitride, after silicon nitride formation, impregnation of hydrogen can be performed to a desired field and a field with many contents of hydrogen can be efficiently formed between a silicon nitride and a transistor.

[0043] The manufacture approach of the semiconductor device by this invention sets like the 7th voice, and after formation of a transistor, before depositing a silicon nitride, a field with many contents of hydrogen can be easily formed between a silicon nitride and a transistor by depositing the film with many contents of hydrogen.

[0044] Since patterning of the pattern of a silicon nitride [like] is carried out to the same configuration as the channel pattern of a transistor, while it prevents oxidation by the wet reflow of the semiconductor device by this invention which happens, for example in respect of the channel table of a transistor the 6th voice, the matter for ending dangling bonds, such as hydrogen, from the part which is not covered with a silicon nitride can be introduced, and the dangling bond which the transistor of the channel section of a transistor has can be ended.

[0045] The manufacture approach of the semiconductor device by this invention sets like the 8th voice, and while the same silicon nitride as the pattern of a polycrystal semi-conductor thin film can form easily and protects a polycrystal semi-conductor thin film from the oxidization at the time of a wet reflow by this silicon nitride, the matter for ending a dangling bond from the part which is not covered with a silicon nitride can be easily introduced to the channel section of a transistor.

[0046] Since the manufacture approach of the semiconductor device by this invention set like the 9th voice, it counted upon decreasing by oxidization and the polycrystal semi-conductor is deposited thickly beforehand, it is not necessary to form the film for protecting the polycrystal semi-conductor of the channel section of a transistor on a transistor, and since there is no film (silicon nitride etc.) to protect, a dangling

bond can also be made to end easily.

[0047]

[Example] Hereafter, the 1st example of this invention is explained using drawing 1. Drawing 1 is the sectional view showing a part of memory cell of SRAM by this invention. The gate electrode of TFT which constitutes the load of the memory cell which formed 1 by the single crystal silicon substrate, and formed 2 with polycrystalline silicon in drawing, 2a is the gate electrode of another [which constitutes the load of a memory cell] TFT, and is formed with polycrystalline silicon. The source drain field of TFT which formed 3 with thin film polycrystalline silicon, As for a silicon nitride and 7, the channel of TFT in which 4 was formed with thin film polycrystalline silicon, the gate oxide which formed 5 with the CVD method, and 6 are [an aluminum interlayer oxide film and 8] the holes of opening of the aluminum interlayer oxide film 7 and the silicon nitride 6.

[0048] Hereafter, a production process is explained. After forming N-channel metal oxide semiconductor FET etc. on single crystal silicon 1, gate electrode 2 of gate electrode [of TFT] 2 and another TFT a is formed with polycrystalline silicon through an interlayer insulation film.

[0049] next, the reduced pressure CVD (Chemical Vapour Deposition) -- law -- the silicon oxide 5 for gate oxide -- for example, the 2nd layer polycrystalline silicon 3 and 4 which deposits 40nm, then works as an active object -- for example, 30nm is deposited.

[0050] In this condition, by the photolithography method, it leaves a resist to the field 4 which should serve as a channel, and the ion implantation for source drains is performed. Then, by heat treating, an ion kind is activated, the source drain field 3 is formed, and TFT is constituted.

[0051] Furthermore, after depositing an interlayer insulation film, 100nm of silicon nitrides 6 for OH radical stoppers is deposited, for example. After depositing the oxide film 7 with which the impurity was added on it, flattening of the front face is carried out by heat treating in a wet ambient atmosphere.

[0052] Here, opening of the silicon nitride 6 and oxide film 7 of the contact section upper layer of gate electrode 2a and the thin film polycrystalline silicon 3 is carried out, and a hole 8 is opened in the silicon nitride 6 for OH radical stoppers. Generally, the location which carries out opening of the hole 8 is near [which can introduce hydrogen into the CHANE section 4 of TFT] the TFT, and is a place which does not have an adverse effect on a substrate and the upper layer. If it takes into consideration introducing hydrogen

into the channel section 4 of TFT, as for the silicon nitride 6, it is desirable to carry out opening right above the channel section 4. However, in case opening of the silicon nitride 6 is carried out by etching, since possibility of damaging the channel section 4 of TFT is large, it is desirable [it is difficult to control the depth of etching, and] to carry out opening of the silicon nitride 6 of the upper part of the thin film polycrystalline silicon 3 to gate electrode 2a. By carrying out like this, gate electrode 2a and the thin film polycrystalline silicon 3 can also be used as a stopper of etching, and manufacture of equipment becomes easy.

[0053] Then, although not shown in drawing, the process which carries out opening of the oxide film 7 and the silicon nitride 6 which carried out flattening, and the process which embeds a plug double, and it is carried out for [for flattening] connection with aluminum wiring formed in the upper layer. A tungsten plug is formed in a hole 8 at this time. Finally, the passivation film is formed on these. And when forming the passivation film, substrate temperature is about 350 degrees C, and the hydrogen contained in the passivation film by this heat diffuses it, it passes along a hole 8, and arrives at the channel section 4 and the source drain field 3 of ***** and TFT in the interface of the tungsten plug formed in the hole 8. And by this, the dangling bond contained to the channel section 4 and the source drain field 3 of TFT can be ended, and the property of TFT can be improved.

[0054] In the above-mentioned example, after carrying out opening of the hole 8, the tungsten plug was embedded, but after carrying out opening of the hole 8, you may also embed an oxide film in a hole 8 for flattening.

[0055] Next, the 2nd example is explained using drawing 2. Drawing 2 is the sectional view showing a part of memory cell of SRAM by this invention. In drawing 2, the same sign as drawing 1 R> 1 of the hole where the metal plug carried out 9 and the silicon nitride 6, the aluminum interlayer oxide film 7, and the thin film polycrystalline silicon 3 carried out opening of 10, and others shows the same content as drawing 1. The point that the 1st example shown in drawing 1 differs from the 2nd example shown in drawing 2 is as follows.

[0056] First, after the semiconductor device in drawing 1 formed the contact pattern using the photolithography method, it carried out opening of the gate oxide 5 between gate electrode 2a and the source drain field 3 by etching, and had taken contact.

[0057] After deleting the process at which the semiconductor device in drawing 2 forms contact between gate electrode 2a and the source drain

field 3 compared with it and forming the aluminum interlayer oxide film 7 (drawing 2 (a)), the hole 10 was formed, the metal plug 9 was embedded, and contact to gate electrode 2a and the source drain field 3 is taken (drawing 2 (b)).

[0058] As mentioned above, according to the 2nd example, connection between opening of the silicon nitride 6, gate electrode 2a, and the source drain field 3 can be made simultaneously.

[0059] In addition, also in the 2nd example, the channel section 4 of TFT and the dangling bond of the source drain field 3 can be ended like the 1st example using the hole 10 which is opening of the silicon nitride 6, and the property of TFT can be improved.

[0060] Moreover, although the metal was used as a plug ingredient embedded in a hole 10 in the 2nd example, if it is the ingredient whose ohmic contact is possible, other ingredients will be sufficient as the polycrystalline silicon which added the impurity, and it will do so the same effectiveness as the above-mentioned example.

[0061] Next, the 3rd example is explained using drawing 3. Drawing 3 is the sectional view showing a part of memory cell of SRAM by this invention by which the multilayer interconnection was carried out. The metal plug for taking connection with the component and the 1st layer aluminum wiring 11 with which 11 was formed in the 1st layer aluminum wiring, and 12 was formed in the single crystal silicon substrate 1 in drawing, The interlayer insulation film with which 13 was formed in the metal plug and 14 was formed between the 1st layer aluminum wiring and the 2nd layer aluminum wiring. It is the through hole of the dummy with which the 2nd layer aluminum pad with which 15 was formed on the interlayer insulation film 14, and 16 were prepared in the plasma silicon nitride, and 18 was prepared in the interlayer insulation film 14, and the thing of the same sign as other drawing 2 shows the same content as drawing 2.

[0062] Thus, the distance of the channel section of TFT etc. and the plasma silicon nitride 16 which is passivation film becomes far, and diffusion of the hydrogen from the plasma silicon nitride 16 becomes difficult as wiring is multilayered. Then, a dummy through hole can be prepared and the dangling bond which thin film polycrystalline silicon has easily can be ended by diffusing hydrogen from there.

[0063] Hereafter, a production process is explained. After the process shown in drawing 2 (b) is completed, an interlayer film 7 is formed further, and it is a wrap about the upper part of the metal plug 9. Next, opening of the aluminum contact section is carried out by the photolithography method and anisotropic etching, and the metal

plug 12 is embedded. Then, patterning of the 1st layer aluminum wiring 11 is carried out, and it is formed.

[0064] Next, an interlayer insulation film 14 is deposited between the 1st layer aluminum wiring and the 2nd layer aluminum wiring. Then, the dummy through hole 18 is formed in an interlayer insulation film 14, and the metal plug 13 is embedded in the through hole 18. Next, a through hole 18 is capped using the 2nd layer aluminum pad. Since hydrogen is spread from this through hole 18, hydrogen can reach the channel section 4 of TFT efficiently, and a dangling bond can be ended. In addition, this through hole 18 needs to prepare so that it may not become inhibition of the 2nd layer aluminum wiring.

[0065] Although the through hole 18 formed between the 1st layer aluminum wiring and the 2nd layer aluminum wiring was filled up with the above-mentioned example using the metal plug 13, a through hole 18 may be filled only with the 2nd layer aluminum pad 15 not using the metal plug 13.

[0066] Next, the 4th example is explained using drawing 4. Drawing 4 is the sectional view showing a part of memory cell of SRAM by this invention by which the multilayer interconnection was carried out. In drawing, 17 is the 2nd layer aluminum wiring and the same sign as drawing 3 shows the same content. In the semiconductor memory shown in drawing 3, although characterized by taking the dummy through hole 18 right above the metal plug 12, the semiconductor memory shown in this example is formed on the metal plug 9 formed in order to connect gate electrode 2a formed with the source drain field 3 and polycrystalline silicon of TFT formed with thin film polycrystalline silicon. Since hydrogen is spread from this through hole 18, hydrogen can reach the channel section 4 of TFT efficiently, and a dangling bond can be ended. In addition, this through hole 18 needs to prepare so that it may not become inhibition of the 2nd layer aluminum wiring.

[0067] Moreover, although the example which nothing embeds in a through hole 18 was raised with the 4th example of the above, you may also embed a metal plug so that you may also embed another ingredients other than an oxide film, for example, the 2nd layer aluminum wiring may not be checked.

[0068] Moreover, although hydrogen was used in the 1st, 2nd, 3rd, and 4th example as matter which ends a dangling bond, if it is the matter which can end a dangling bond, you may be other matter and the same effectiveness as the above-mentioned example will be done so.

[0069] Next, the 5th example of this invention is

explained about drawing. Drawing 8 thru/or drawing 15 are the sectional views having shown the 5th example of this invention according to the process flow. In drawing 31 the gate of TFT, and 34 for an insulator layer and 33 The source of TFT, 35 the nitride between layers, and 37 for the drain of TFT, and 36 A contact hole, The part in which; as for 38a and 38b, the nitride was removed by wet etching, The oxide film which formed 39 with the CVD method, the oxide film with which 40a and 40b are removed by dry etching, 41 is titanium nitride RAIDO and the interlayer film to which a plasma nitride and 50 were carried out by the diffusion path of the hydrogen from a plasma nitride, and flattening of 54 was carried out [42 / a tungsten plug and 43] for aluminum wiring and 44 by the wet reflow.

[0070] Drawing 8 is drawing showing the condition of having formed TFT which has the gate 33, the source 34, and a drain 35 into the oxide film 32 on a substrate 31, and having formed in order of the oxide film 54 which carried out flattening of the oxide film which includes many an oxide film 32, nitrides 36 between layers, boron, Lynn, etc. from the bottom by the wet reflow method.

[0071] Drawing 9 is drawing showing an open beam condition for a contact hole 37 by a usual photo-engraving process and the usual etching method.

[0072] Here, it dips in heat phosphoric acid (temperature of about 170 degrees C) for about 5 hours. Drawing 10 is in the condition that only about 2 micrometers only of nitrides 36 between layers were etched into the longitudinal direction with heat phosphoric acid. The hydrogen in more plasma nitrides will reach to a thin film transistor through the parts 38a and 38b by which the nitride 36 between this layer was removed.

[0073] OFF state current I_{off} of TFT As shown in several 1, it is decided by several Ns of the dangling bond of the polish recon contained the electric field E concerning a drain impregnation edge, and there.

[0074]

[Equation 1]

$$I_{off} \propto N \cdot \exp(-a/E)$$

但し、aは正の定数

[0075] Therefore, if termination of the dangling bond of a drain edge is fully carried out, the OFF state current can be reduced to the almost same level as TFT (drawing 6) of the conventional semiconductor device with which there was no nitride between layers and hydrogenation was fully made. What is necessary is for the amount

which carries out wet etching of the nitride 36 between layers with heat phosphoric acid to be comparable as a contact hole 37 and the distance between the drain impregnation edges 58 of TFT, or just to set it up for a long time than it.

[0076] Drawing 11 is drawing showing the place which deposited the oxide film 39 with the CVD method, after removing some nitrides with heat phosphoric acid. Since the oxide film 39 by the CVD method has good coverage, it is deposited also on a clearance part like 38a and 38b, and it can embed the clearance. This process is a required process in order to raise the adhesion of the titanium in the parts 38a and 38b which removed the nitride, when carrying out the spatter of the titanium later. Therefore, the nitride 36 between layers is thin, and when there is no problem in the adhesion of titanium, the process of drawing 11 and drawing 12 can be skipped.

[0077] drawing 12 -- oxide film dry cleaning -- it is drawing showing the process which carries out opening of the partial 40b which becomes a contact hole 37 more dirtily. The good film of other coverage may be used for a change of an oxide film 39. For example, the polish recon formed with a CVD method can be used. in this case, since polish recon comes out and has conductivity, contact can be taken without carrying out opening of the partial 40b which becomes a contact hole 37, and that contact resistance can be made small compared with the case where the oxide film 39 by the CVD method is used. however, some film used for the embedding in drawing 12 when the electric conduction film was used for embedding -- it must be made for aluminum wiring not to have to short-circuit by 40a. For that purpose, what is necessary is to remove this partial 40a or just to add processes, such as also cutting off this partial 40a, to patterning and coincidence of aluminum wiring beforehand.

[0078] Drawing 13 is drawing showing the place which carried out the spatter of the titanium, annealed by nitrogen-gas-atmosphere mind, and formed titanium night RAIDO 41.

[0079] Drawing 14 is drawing showing the place in which the tungsten plug 42 was formed.

[0080] Drawing 15 forms the aluminum wiring 43 and just deposited the plasma nitride 44. Since the hydrogen in more plasma nitrides 44 is spread through the diffusion layer path 50 and hydrogenates TFT compared with the conventional semiconductor device shown in drawing 7, TFT with the small OFF state current can be formed. Moreover, the same effectiveness is acquired also by dipping into a plasma hydrogen ambient atmosphere instead of depositing the plasma nitride 44. There may be neither titanium

night RAIDO 41 nor the tungsten plug 42, and the same effectiveness as the above-mentioned example is acquired.

[0081] Next, the 6th example is explained about drawing. Drawing 16 and drawing 17 are the sectional views having shown the semiconductor device by the 6th example according to the process flow. In drawing, 31 is a substrate and the flat film with which silicon impregnation and 50 were carried out by the diffusion path of the hydrogen from a plasma nitride, and flattening of 54 was carried out [32 / an oxide film and 33] for the gate of TFT, the porous nitride according [34 / 35 / the source of TFT, and / 48] to silicon impregnation in the drain of TFT, and 36, and 49 by the wet reflow according [the nitride between layers and 44] to a plasma nitride.

[0082] Flattening of the film 54 is completed by the wet reflow, and drawing 16 is drawing showing the condition of carrying out silicon impregnation 49. Since silicon impregnation is performed in order that it may extend a lattice spacing and may carry out porous one of the nitride 36 between layers by increasing the rate of the silicon in the nitride 36 between layers, it is made for an impregnation peak to come to the depth of the nitride 36 between layers. For example, when the nitride 36 between layers is in a location with a depth of 4000Å, it pours in with the energy of 200keV extent. An injection rate is 1015-/cm². It sets up above. The object of this silicon impregnation performs the diffusion layer multiplier in the inside of the film of hydrogen in order to make the nitride 36 between layers porous so that it may carry out and may be easy to penetrate from a top to the bottom; an increase and, and as long as it can attain that object, it may pour in oxygen ion and other ion.

[0083] Drawing 17 is drawing showing the place which deposited the plasma nitride 44. Since it is easy, a contact hole, aluminum wiring, a tungsten plug, etc. have been excluded. Since hydrogen tends to penetrate the nitride 48 between layers in the plasma nitride 48 by silicon impregnation since it is in a porous condition, hydrogen reaches TFT through the diffusion path 50 and TFT is hydrogenated, TFT with little OFF state current can be made.

[0084] In the 5th and 6th example, after performing flattening using the nitride 36 between layers, the diffusion path 50 of the hydrogen from a plasma nitride was secured by wet etching and silicon impregnation. Next, the 7th and 8th example to describe has the description in the place which stops the OH radical at the time of flattening using film other than nitride 36 between layers.

[0085] Next, the 7th example of this invention is

explained about drawing. Drawing 18 is the sectional view showing one of the production processes of the semiconductor device by the 7th example. The field where, as for a substrate, and 32a and 32b, an insulator layer and the flat film with which the drain of TFT and 46 are carried out by the OH radical, and flattening of 54 is carried out [33 / the gate of TFT and 34] for the source of TFT and 35 by the wet reflow were poured in, and, as for 31, many N type impurities were poured in in drawing 18, as for 55, the field where, as for 56, many P type impurities were contained, and 57 are the electric fields formed with the charge of a field 55 and a field 56.

[0086] After drawing 18 forms the TFT gate 33, the source 34, and a drain 35, it deposits about 3000A nitride 32 between layers a, injects boron into the front face, and forms the field 56 with many P type impurities. It is necessary to pour in this impregnation so that TFT may not be reached. Next, 1000A nitride 32 between layers b is deposited, Lynn is injected into the front face, and the field 55 with many N type impurities is formed. Between two-layer, electric field 57 are born with the impurity contained in these two layers. It prevents an OH radical reaching a thin film transistor by this electric field at the time of a wet reflow.

[0087] two-layer -- when 55 and 56 are considered to be parallel plate capacitors, acceleration voltage V (V) equal to the energy of the OH radical which can be caught to inter-electrode [the] is expressed with several 2.

[0088]

[Equation 2]

$$V = q \cdot N / C$$

[0089] However, the injection rate (/cm²) of an impurity and C are the capacity (F) of a capacitor, and q has elementary charge (C) and N.

[0090]

[Equation 3]

$$C = K_0 \cdot \epsilon_0 / d$$

[0091] It is K₀ here. The specific inductive capacity of an oxide film, and epsilon 0 A vacuous dielectric constant (F/cm) and d (cm) are the distance between a layer 55 and a layer 56. They are both the injection rates of two-layer 55 and the impurity through which it passes 56 6x10¹⁴ /cm². If it carries out, an OH radical with the energy of several 2 and several 3 to about 1 keV can be decelerated in this film, and can be caught. If the two-layer injection rate is doubled, electric field 57 can be formed only among layers 55 and 56, electric field will leak to others, and actuation of TFT will not be affected.

[0092] Flattening between layers can be carried

out without oxidizing TFT as a result as mentioned above. That is, if boron and the oxide film 24 including many Lynn are deposited and a wet reflow is performed on this for flattening, the OH radical contained in the ambient atmosphere at the time of a wet reflow will carry out flattening of the oxide film 54 through a path 46, will arrive at the field formed in layers 55 and 56, will lose energy there, and will not trespass upon the field of TFT. Although the layers 55 and 56 containing these two impurities are formed by impregnation here, the oxide film which contained the impurity beforehand may be deposited. Moreover, although the polish recon containing an impurity may be deposited, it is required by insulating a side attachment wall from oxidizing or others so that a contact hole may not be short-circuited at the time of an open beam to accumulate a charge.

[0093] And since the nitride between layers is not used, after forming a contact hole, a tungsten plug, and aluminum wiring, a thin film transistor can be hydrogenated by the hydrogen in a plasma nitride during deposition of a plasma nitride. To reverse, an OH radical is hydrogen ion H⁺. Since it tends to be accelerated by electric field 57, the effectiveness of hydrogenation will be acquired.

[0094] That is, flattening can be carried out by the wet reflow, without [if this structure is used, without it will reduce the effectiveness of hydrogenation of TFT, and] oxidizing TFT.

[0095] The 7th example of this invention had realized carrying out flattening by the wet reflow, without reducing the effectiveness of hydrogenation of TFT using another film instead of the nitride between layers. Next, hydrogen is made to intervene under the nitride between layers beforehand in the 8th and 9th example to give using the property which does not let the hydrogen of the nitride between layers pass.

[0096] Next, the 8th example is explained about drawing. Drawing 19 is the sectional view showing one of the production processes of the semiconductor device by the 8th example. drawing 19 -- setting -- 31 -- for the gate of TFT, and 34, as for the drain of TFT, and 36, the source of TFT and 35 are [a substrate and 32 / an insulator layer and 33 / the nitride between layers and 47] hydrogen impregnation.

[0097] It just deposited drawing 19 in order of the oxide film 32 and the nitride 36 between layers after forming TFT. Hydrogen impregnation [1016/] of injection rates 2 (cm) is carried out into TFT under the nitride 36 between here layers, and TFT is hydrogenated.

[0098] Then, boron and an oxide film including many Lynn are deposited, and flattening is carried out by the wet reflow. Usually, if 800 to 900 degrees C heat treatment is added, the hydrogen

as a terminator of a dangling bond will be diffused outside, and will lose the work. However, since there is effectiveness which controls diffusion of hydrogen in the nitride 36 between layers, the hydrogen diffused out of polish recon in a wet reflow (800 to 900 degrees C heat treatment) is not diffused out of the nitride 36 between layers. And in heat treatment (about 400 degrees C) after forming aluminum wiring, it will spread and hydrogenate in the polish recon channel of TFT again (re-hydrogenation). In addition, since the 5th and 6th example is not spacing hydrogen through reverse, as for the demand to the nitride 36 between layers in this structure, it is desirable to deposit on about several 1000A thickly.

[0099] Flattening can be carried out by the wet reflow, without being able to acquire the effectiveness of hydrogenation of TFT by re-hydrogenation, and oxidizing TFT, if this structure is used.

[0100] Next, the 9th example is explained about drawing. Drawing 20 is the sectional view showing one of the production processes of the semiconductor device by the 9th example. drawing 20 -- setting -- 31 -- a substrate and 32 -- for the source of TFT, and 35, as for the nitride between layers, and 44, the drain of TFT and 36 are [an insulator layer and 33 / the gate of TFT, and 34 / a plasma nitride and 50] the diffusion paths of the hydrogen from a plasma nitride.

[0101] Drawing 20 is drawing showing the place which deposited about 5000A of plasma nitrides 44, and then deposited 1000A of nitrides 36 between layers, after carrying out TFT (gate 33, source 34, drain 35) formation. Hydrogenation of TFT is performed during deposition of the plasma nitride 44. Since anything does not have what interrupts hydrogen between the plasma nitride 44 and TFT as shown in the diffusion path 50, TFT is fully hydrogenated.

[0102] Then, boron and an oxide film including many Lynn are deposited, and flattening is carried out by the wet reflow. Since there is effectiveness which controls diffusion of hydrogen in the nitride 36 between layers, the hydrogen diffused out of polish recon in a wet reflow (800 to 900 degrees C heat treatment) is not diffused out of the nitride 36 between layers. And in heat treatment (about 400 degrees C) after forming aluminum wiring, it will spread and hydrogenate in the polish recon channel of TFT again (re-hydrogenation).

[0103] Flattening can be carried out by the wet reflow, without being able to acquire the effectiveness of hydrogenation of TFT by re-hydrogenation, and oxidizing TFT like the 8th example, if this structure is used.

[0104] The above 5th example thru/or 9th example was invention of hydrogenating with flattening

after considering to the 1st TFT not oxidizing at the time of a wet reflow. Next, the 10th example to give has the description in expecting that it oxidizes and forming thickly beforehand at the time of a wet reflow.

[0105] Hereafter, the 10th example by this invention is explained about drawing. Drawing 21 and drawing 22 are the sectional views showing one of the production processes of the semiconductor device by the 10th example. In drawing, the polish recon thin film with which a substrate and 32 oxidized with the insulator layer and the polish recon thick film with which the drain of TFT and 46 formed the OH radical and, as for the gate of TFT and 34, 51 formed channel polish recon for 33 thickly beforehand, as for the source of TFT and 35, 52 oxidized by the wet reflow, and 31 was thin-film-ized, an interlayer film with much 53 to a level difference, and 54 are the interlayer films in which flattening was carried out by the wet reflow.

[0106] Drawing 21 is drawing showing ***** which deposits boron and the oxide film 53 including many Lynn, and is carrying out flattening by the wet reflow method, after forming TFT which deposited polish recon 51 thickly (400A) beforehand. Since this structure does not have a nitride between layers on TFT, TFT oxidizes by the OH radical. The channel of the part thin film-ized transistor is formed thickly.

[0107] Drawing 23 is drawing showing the thickness of polish recon and the relation of wet reflow time amount in which it remained at the time of depositing boron and 10000A of oxide films including many Lynn on the polish recon of 400A of thickness immediately after formation, and carrying out a wet reflow at 820 degrees C. As a result of our wholeheartedly research, most thickness of polish recon decreases to a linear, and it is confirmed in the time domain of less than 1 hour that the homogeneity of the polish recon film within the wafer side is **5% or less very highly. According to drawing 23, 820/60-degree-C wet reflow shows carrying out film decrease of the polish recon of 400A of thickness at about 150A.

[0108] Drawing 22 performs wet reflow processing for 820-degree-C 60 minutes, and flattening of the interlayer film 53 is carried out, it serves as an interlayer film 54, polish recon 51 is thin-film-ized, and the polish recon 52 is just going to be formed. As stated previously, the thickness of this polish recon 52 of TFT is about 150A. With this structure, since the nitride between layers is not used, during deposition of a plasma nitride, the hydrogen in a plasma nitride can be freely spread in TFT, and can make the OFF state current of TFT small. Moreover, when the homogeneity within the wafer side of oxidization of the polish

recon by the wet reflow is very good, if polish recon is set up thinly (for example, 350A) at the channel section deposited first, it can thin-film-ize further (about 100A), and the OFF state current of TFT can be made still smaller.

[0109] Although the oxidation by the wet reflow takes place only on the front face of polish recon, the hydrogen from a plasma nitride diffuses the inside of the polish recon film to some extent. The 11th following example uses this difference. Drawing 24 is the sectional view of TFT and drawing 25 is a sectional view in A-A' of drawing 24. It has the structure where the nitride 36 between layers has lapped by the same pattern on the polish recon 59. The manufacturing method which realizes this structure is explained below.

[0110] Drawing 26 is drawing showing the process which formed the oxide film 32 on the substrate, formed the gate electrode 33, and deposited the polish recon 59 on gate dielectric film 60 and the channel section. So far, it is the same as the former.

[0111] Next, the nitride 36 between layers is deposited by the LPCVD method (drawing 27).

[0112] Next, the same resist pattern 61 as a desired channel pattern is formed with a photoengraving-process technique (drawing 28).

[0113] Next, if the polish recon 59 which patternizes the nitride 36 between layers and the polish recon 59, however (drawing 29) constitutes a channel by the etching method is below the thickness like stopping having oxidized by the next reflow, even if it is not patternizing the polish recon 59 here, it will remain at the time of a reflow, without the polish recon 59 oxidizing like the pattern of the nitride 36 between layers.

[0114] Next, the silicon oxide 53 containing Lynn or boron is deposited with a CVD method, reflow heat treatment is performed in the ambient atmosphere containing a steam 46, and flattening of the silicon oxide 53 is carried out (drawing 30).

[0115] Finally the plasma nitride 44 is deposited by the plasma-CVD method (drawing 31).

[0116] In drawing 30, although the pattern edge of the polish recon 59 oxidizes in the channel section and it becomes thin for a while in it since there is no nitride 36 between layers in the whole surface, it is about 0.01-0.05 micrometers, and is small enough compared with the channel width of 0.5-0.10 micrometers. Moreover, even if the hydrogen from the plasma nitride 44 has the nitride 36 between layers, it is diffused in the polish recon 59 whole of the channel section satisfactory, and makes a trap level decrease by being spread from the side face of the polish recon 59 of the channel section, as shown in drawing 28, since 1.0 micrometers or more are diffused in the sinter (about 450 degrees C) of under deposition or after that.

[0117] Therefore, according to this approach, the film decrease and disappearance by oxidation of the polish recon 59 of the channel section by the wet reflow can be prevented, without barring diffusion into the polish recon of the hydrogen in an after process.

[0118]

[Effect of the Invention] As mentioned above, in order to introduce into the channel section of said transistor the matter which cannot pass the silicon nitride formed on the transistor which used the polycrystal semi-conductor thin film for the channel section according to the semiconductor device of invention indicated to claim 1, Since it is characterized by carrying out opening of said silicon nitride, the matter for ending the dangling bond which the transistor has can be introduced to the channel section of a transistor, and it is effective in the ability to improve the property of a transistor.

[0119] In order to introduce the matter which cannot pass a silicon nitride to the channel section of a transistor according to the manufacture approach of the semiconductor device invention indicated to claim 2, it has the process which carries out opening to said silicon nitride, and is constituted, and the dangling bond which the transistor has can be ended and it is effective in the ability to improve the property of a transistor.

[0120] According to the semiconductor device of invention indicated to claim 3, it be constituted so that a silicon nitride may have the hole where an opening dimension be larger than said contact hole as a hole for contact holes, and the matter for end dangling bonds, such as hydrogen, in the channel section of a transistor through the hole where this opening dimension be large can be introduced easily, and it be effective in the ability to improve the property of a transistor.

[0121] It is effective in the ability to improve the property of a transistor by according to the manufacture approach of the semiconductor device invention indicated to claim 4, having the process which extends the opening dimension of the silicon nitride part of a contact hole, being constituted, being able to form in a silicon nitride easily the hole where an opening dimension is big, introducing the matter for ending a dangling bond from this hole, and ending a dangling bond.

[0122] According to the semiconductor device of invention indicated to claim 5, at least, that part is equipped with a porous silicon nitride, it is constituted, the matter for ending dangling bonds, such as hydrogen, in the channel section of a transistor through this porous part can be introduced easily, and it is effective in the ability to improve the property of said transistor.

[0123] According to the manufacture approach of

the semiconductor device invention indicated to claim 6, it has the process which makes a part of silicon nitride porous at least, and is effective in the ability to improve the property of a transistor by introducing the matter for ending a dangling bond through a part of silicon nitride which became porous.

[0124] The 1st film which was just charged on the transistor according to the semiconductor device of invention indicated to claim 7, Have the insulator layer which has not been charged and the 2nd film charged in negative, and it is constituted. It prevents the OH radical which has negative charge by the electric field which the 1st film and 2nd film build invading into the channel section of a transistor. The matter for ending dangling bonds, such as a hydrogen ion, can be easily introduced to the channel section, and it is effective in the ability to improve the property of a transistor.

[0125] It has the process which deposits the 1st just charged film on a transistor according to the manufacture approach of the semiconductor device invention indicated to claim 8, and the process which deposits the 2nd film charged in negative, and the matter for ending a dangling bond can be introduced selectively, and it is effective in the ability to improve the property of a transistor.

[0126] According to the semiconductor device of invention indicated to claim 9, it has a field containing many hydrogen formed on the transistor, and is constituted, and hydrogen can be introduced into the channel section of a transistor from said field, and it is effective in the ability to improve the property of a transistor.

[0127] According to the manufacture approach of the semiconductor device invention indicated to claim 10 thru/or claim 12, it has the process which forms a field with many hydrogen contents on a transistor, and the process which forms a silicon nitride on said field, in order to end a dangling bond, hydrogen can be introduced into the channel section of a transistor, and it is effective in the ability to improve the property of a transistor.

[0128] While the pattern of a silicon nitride protects the channel section of a transistor in which it is formed in the configuration of the same request as the channel pattern of a transistor, and the silicon nitride is formed according to the semiconductor device of invention indicated to claim 13, matter installation of [for ending dangling bonds, such as hydrogen, from the part which is not covered with a silicon nitride] can be carried out, and it is effective in the ability to improve the property of a transistor.

[0129] While according to the manufacture approach of the semiconductor device invention indicated to claim 14 having the process which

forms a silicon nitride in the pattern of the same request as a polycrystal semi-conductor thin film and protecting the polycrystal semi-conductor film, the matter for making the channel section of a transistor end a dangling bond can be introduced, and it is effective in the ability to improve the property of a transistor.

[0130] The process which deposits thickly the polycrystal semi-conductor film used for the channel of a transistor according to the manufacture approach of the semiconductor device invention indicated to claim 15, Since the film for having the process which makes this polycrystal semi-conductor film desired thickness by oxidizing and making said polycrystal semi-conductor film thin, and protecting this polycrystal semi-conductor film is not needed The matter for ending a dangling bond can be introduced easily, and it is effective in the ability to improve the property of a transistor.

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing a part of memory cell of SRAM by the 1st example of this invention.

[Drawing 2] It is the sectional view showing a part of memory cell of SRAM by the 2nd example of this invention.

[Drawing 3] It is the sectional view showing a part of memory cell of SRAM by the 3rd example of this invention by which the multilayer interconnection was carried out.

[Drawing 4] It is the sectional view showing a part of memory cell of SRAM by the 4th example of this invention by which the multilayer interconnection was carried out.

[Drawing 5] It is the sectional view showing a part of memory cell of the conventional SRAM.

[Drawing 6] It is the sectional view of the thin film transistor circumference of the conventional semiconductor device which does not use a wet reflow.

[Drawing 7] It is the sectional view of the thin film transistor circumference of the conventional semiconductor device using a wet reflow.

[Drawing 8] It is the sectional view having shown the production process of the semiconductor device by the 5th example of this invention.

[Drawing 9] It is the sectional view having shown the production process of the semiconductor device by the 5th example of this invention.

[Drawing 10] It is the sectional view having shown the production process of the semiconductor device by the 5th example of this invention.

[Drawing 11] It is the sectional view having shown the production process of the semiconductor device by the 5th example of this invention.

[Drawing 12] It is the sectional view having shown

the production process of the semiconductor device by the 5th example of this invention.

[Drawing 13] It is the sectional view having shown the production process of the semiconductor device by the 5th example of this invention.

[Drawing 14] It is the sectional view having shown the production process of the semiconductor device by the 5th example of this invention.

[Drawing 15] It is the sectional view having shown the production process of the semiconductor device by the 5th example of this invention.

[Drawing 16] It is the sectional view having shown the production process of the semiconductor device by the 6th example of this invention.

[Drawing 17] It is the sectional view having shown the production process of the semiconductor device by the 6th example of this invention.

[Drawing 18] It is the sectional view of the production process of the semiconductor device by the 7th example of this invention.

[Drawing 19] It is the sectional view of the production process of the semiconductor device by the 8th example of this invention.

[Drawing 20] It is the sectional view of the production process of the semiconductor device by the 9th example of this invention.

[Drawing 21] It is the sectional view of the production process of the semiconductor device by the 10th example of this invention.

[Drawing 22] It is the sectional view of the production process of the semiconductor device by the 10th example of this invention.

[Drawing 23] It is drawing showing the thickness of polish recon and the relation of wet reflow time amount to this invention.

[Drawing 24] It is the top view of the thin film transistor in the 11th example of this invention.

[Drawing 25] It is a sectional view in A-A' of drawing 24.

[Drawing 26] It is the sectional view of the production process in the 11th example of this invention.

[Drawing 27] It is the sectional view of the production process in the 11th example of this invention.

[Drawing 28] It is the sectional view of the production process in the 11th example of this invention.

[Drawing 29] It is the sectional view of the production process in the 11th example of this invention.

[Drawing 30] It is the sectional view of the production process in the 11th example of this invention.

[Drawing 31] It is the sectional view of the production process in the 11th example of this invention.

[Description of Notations]

1 Single Crystal Silicon Substrate

2 Gate Electrode

2a Gate electrode

3 Source Drain Field

4 Channel Section

5 Gate Oxide

6 Silicon Nitride

7 14 Interlayer oxide film

8, 10, 18 Through hole

9, 11, 13 Metal plug

12 1st Layer Aluminum Wiring

15 2nd Layer Aluminum Pad

17 2nd Layer Aluminum Wiring

31 Substrate

32 Oxide Film

33 Gate

34 Source

35 Drain

36 Nitride between Layers

37 Contact Hole

39 Oxide Film

41 Titanium Nitride

42 Tungsten Plug

43 Aluminum Wiring

44 Plasma Nitride

45 Ion Exchange Membrane

48 Nitride between Layers

50 Diffusion Path of Hydrogen

51 Polish Recon

52 Polish Recon

55 Field Where Many N Type Impurities were Poured In

56 Field Where Many P Type Impurities were Poured In

59 Polish Recon

60 Gate Dielectric Film